

PATENT
83394.0010
Express Mail Label No. EV 325 216 933 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Hidemitsu NAYA et al.

Serial No: Not assigned

Filed: July 23, 2003

For: SEMICONDUCTOR MANUFACTURING
APPARATUS

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-241294 which was filed August 22, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: July 23, 2003

By: 

Anthony J. Orler

Registration No. 41,232

Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 8月22日

出 願 番 号
Application Number:

特願2002-241294

[ST.10/C]:

[JP2002-241294]

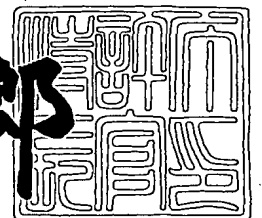
出 願 人
Applicant(s):

株式会社日立ハイテクノロジーズ

2003年 5月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3035496

【書類名】	特許願
【整理番号】	1102012311
【あて先】	特許庁長官 殿
【国際特許分類】	H01L 21/02 G03F 7/20
【発明の名称】	半導体製造装置
【請求項の数】	15
【発明者】	
【住所又は居所】	茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立研究所内
【氏名】	納谷 英光
【発明者】	
【住所又は居所】	茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立研究所内
【氏名】	橋本 幸司
【発明者】	
【住所又は居所】	茨城県ひたちなか市大字市毛882番地 株式会社 日立ハイテクノロジーズ 設計・製造統括本部 那珂事業所内
【氏名】	川野 雅道
【発明者】	
【住所又は居所】	茨城県ひたちなか市大字市毛882番地 株式会社 日立ハイテクノロジーズ 設計・製造統括本部 那珂事業所内
【氏名】	富▲吉▼ 力生
【特許出願人】	
【識別番号】	501387839
【氏名又は名称】	株式会社 日立ハイテクノロジーズ

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【電話番号】 03-3212-1111

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体製造装置

【特許請求の範囲】

【請求項 1】

半導体設計情報を処理する少なくともひとつの計算機を有する演算部と、
該半導体設計情報の処理の結果に従って電子の照射を制御する制御部と、
該制御部の指示に従って電子の照射を行う描画部を有する半導体製造装置において、

少なくともひとつ以上の記憶装置を有し、

該記憶装置と、前記演算部と、前記制御部と、前記描画部との通信を可能とし、
かつ該記憶装置の管理が可能な通信路を有することを特徴とする半導体製造装置。

【請求項 2】

請求項 1 の半導体製造装置において、

前記演算部が、半導体設計情報を複数の領域に分割する処理を行う少なくとも
1 つの計算機と、該分割された領域に懸かる情報を処理する少なくとも 1 つの計
算機と、前記情報を処理した結果をさらに処理する少なくとも 1 つの計算機とを
有することを特徴とする半導体製造装置。

【請求項 3】

請求項 2 の半導体製造装置において、

半導体設計情報を複数の領域に分割する計算機が、該分割された領域を示す情
報を、少なくとも 1 つの計算機に指示し、該指示を受けた夫々の計算機が前記半
導体設計情報を参照し、前記分割された領域に懸かる情報を処理することを特徴
とする半導体製造装置。

【請求項 4】

請求項 2 の半導体製造装置において、

半導体設計情報を複数の領域に分割する計算機が、複数の分割設計情報を生成
し、該分割設計情報を、前記分割された領域に懸かる情報を処理する計算機に指
示し、指示を受けた夫々の計算機が前記分割設計情報を参照し、分割設計情報に

懸かる情報を処理することを特徴とする半導体製造装置。

【請求項 5】

請求項 2 の半導体製造装置において、

半導体設計情報を、ウェハを搭載して移動するステージの稼動範囲、および電子線を照射可能な偏向領域に応じて分割し、該分割された領域に懸かる情報を処理する少なくとも 1 つの計算機が、前記描画部が電子の照射が効率的に実行できるような描画軌跡をとる描画情報を生成することを特徴とする半導体製造装置。

【請求項 6】

請求項 2 の半導体製造装置において、

半導体設計情報を、任意の幅のメッシュに分割し、該分割された領域に懸かる情報を処理する少なくとも 1 つの計算機が、前記描画部が電子の照射が効率的に実行できるような描画軌跡をとる描画情報を生成することを特徴とする半導体製造装置。

【請求項 7】

請求項 5 の半導体製造装置において、

前記描画部が電子の照射が効率的に実行できるような描画軌跡の順に従って、前記記憶装置を線形な論理空間として、描画情報を記憶することを特徴とする半導体製造装置。

【請求項 8】

請求項 6 の半導体製造装置において、

前記描画部が電子の照射が効率的に実行できるような描画軌跡の順に従って、前記記憶装置を線形な論理空間として、描画情報を記憶することを特徴とする半導体製造装置。

【請求項 9】

請求項 5 の半導体製造装置において、

前記描画情報を、領域を示す領域情報と、該領域情報に含まれる図形を示す図形情報で表し、領域情報と該領域情報に対応する図形情報の組を微小描画情報として、該微小描画情報を前記描画部が電子の照射が効率的に実行できるようにならべて出力して、描画情報を生成することを特徴とする半導体製造装置。

【請求項 1 0】

請求項 6 の半導体製造装置において、

前記描画情報を、領域を示す領域情報と、該領域情報に含まれる図形を示す図形情報で表し、領域情報と該領域情報に対応する図形情報の組を微小描画情報として、該微小描画情報を前記描画部が電子の照射が効率的に実行できるようにならべて出力して、描画情報を生成することを特徴とする半導体製造装置。

【請求項 1 1】

請求項 5 の半導体製造装置において、

前記描画情報を、領域を示す領域情報と、該領域情報に含まれる図形を示す図形情報で表し、前記描画部が電子の照射が効率的に実行できるような順序で、領域情報の列を出力し、かつ該領域情報の列に対応する図形情報の列を出力して、描画情報を生成することを特徴とする半導体製造装置。

【請求項 1 2】

請求項 6 の半導体製造装置において、

前記描画情報を、領域を示す領域情報と、該領域情報に含まれる図形を示す図形情報で表し、前記描画部が電子の照射が効率的に実行できるような順序で、領域情報の列を出力し、かつ該領域情報の列に対応する図形情報の列を出力して、描画情報を生成することを特徴とする半導体製造装置。

【請求項 1 3】

請求項 2 の半導体製造装置において、

前記情報を処理した結果を記憶装置に記憶し、前記制御部と前記描画部の構成を、複数設けることにより、各構成が並列に処理を実行できることを特徴とする半導体製造装置。

【請求項 1 4】

請求項 1 の半導体製造装置において、

少なくとも 1 つの記憶装置を有し、該記憶装置の貸出しおよび管理を業務とするストレージプロバイダと、

少なくとも 1 つの計算機を有し、該計算機の貸出しおよび管理を業務とするサービスプロバイダと、

該制御部と該描画部とを、記憶装置を接続する通信路、もしくは記憶装置を接続するためのプロトコルの通過が可能な通信路で接続して構成することを特徴とする半導体製造装置。

【請求項 1 5】

請求項 1 の半導体製造装置において、

前記描画部が使用する電子線照射のショット情報を記憶装置に記憶することで、実際に電子線を照射するまえに描画状態の確認が可能なことを特徴とする半導体製造装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、記憶装置を接続するネットワークを有する処理装置に係り、特に半導体製造に関連する半導体および半導体用マスクの検査装置、製造装置および、それらを用いたシステムに関する。

【0 0 0 2】

【従来技術】

従来、装置内部の接続、および装置間を接続するために、特開 2 0 0 0 - 1 6 4 6 6 7 号、特開 2 0 0 0 - 1 6 4 6 6 6 号が示すように、イーサネット（登録商標）等の標準 LAN（ローカルエリアネットワーク）に接続する構成が一般的である。

【0 0 0 3】

また、特開平 9 - 1 5 3 4 4 1 号のように LAN を複数のセグメントにわけて、該セグメント間に処理ステーションを設置し、データのコピーを行うシステムもある。

【0 0 0 4】

また、特開平 1 1 - 8 5 3 2 6 号が示すように、ネットワークで複数の計算機を接続し、予め全設計情報をクライアントから複数のサーバに転送するシステムもある。

【0 0 0 5】

さらに、特開 2 0 0 2 - 1 3 2 9 8 6 号が示すように、インターネットで顧客と製造装置を結ぶシステムもある。

【 0 0 0 6 】

電子線描画装置は、特開昭 6 3 - 2 0 8 2 1 5 号に示すように、複数の電子線描画系にそれぞれ描画データ格納用のバッファメモリを接続し、制御用計算機によりこれらの複数のバッファメモリを胸中に管理して描画データ格納部から書くバッファメモリに所要の画像データを記憶するようにして、各電子線描画系の描画領域内に異なる図形を連続して描画する装置であり、また特開平 7 - 307262 号が示すような、荷電ビームによる電子線を用いて半導体設計情報である CAD データなどに基づいたアパーチャ等を用いて描画する装置である。

【 0 0 0 7 】

ストレージエリアネットワークの従来例としては、W O O O / 1 8 0 4 9 と W O O O / 1 7 7 6 9 に記載があるファイバ・チャネルによる接続や、W O O O / 2 9 9 5 4 に記載がある光ファイバによるネットワーク、また、i S C S I , i F C P , F C I P のようにイーサネット（登録商標）による接続や、さらにスイッチ接続や共有バス接続等がある。このようにストレージエリアネットワークは通信デバイスの種類によらない、記憶装置を接続するネットワークの総称であり、I E E E 1 3 9 4 のようなシリアルバスによる記憶装置の接続、InfiniBand（登録商標）のようなスイッチ型バスによる記憶装置の接続もストレージエリアネットワークとなる。

【 0 0 0 8 】

半導体設計情報の一つであるマスクレイアウトデータは、論理設計メーカで作成され、該マスクレイアウトデータを半導体設計装置で処理することで、マスク（レチクル）が作成される。マスクレイアウトデータは論理設計メーカのローカルな記憶装置に記憶されており、半導体製造装置を有するたとえばマスクショップに渡すためには、磁気テープ等の記憶媒体にコピーを作成し、この記憶媒体をマスクショップが受け取り、ローカルの記憶装置に記憶媒体の内容をコピーして使用していた。

【 0 0 0 9 】

【発明が解決しようとする課題】

上記従来技術は、ネットワークに流れるデータの種類について考慮されておらず、半導体の設計データのひとつである大容量のCADデータと、各種装置の制御および連携を行うための制御コマンドであるメッセージデータとを、同じネットワークで通信するために、トラフィックが増大してネットワークの通信性能が低下することとなり、システム全体の性能に影響を及ぼしていた。つまり制御コマンドの発行頻度および、該コマンドに対する応答の発生頻度、また大容量データの送受信により、ネットワークのスループットが変化し、装置全体の性能が低下するという問題がある。特に半導体の微細化に伴い、半導体とマスクの設計データ、および検査結果としての画像データが膨大な容量になり、該データを通信するだけでネットワークの帯域を占有してしまい、メッセージデータの送受信にも影響を与えていた。

【0010】

これを解決する従来技術として、処理を行う複数の計算機に予めすべての設計情報を転送する方法が取られていた。この方法は、接続する計算機数に比例して転送容量が増えるので、転送時に極度のトラフィックを発生させることになる。また該設計情報を受信した複数の計算機は、膨大な設計情報を記憶するための記憶装置を個別に装備する必要があった。

【0011】

上記従来技術は、半導体の設計情報の基となるCADデータを電子線描画装置独特の描画データフォーマットに変換し、さらに該描画データフォーマットで表現される図形データをさらに変換、補正等の処理をリアルタイムに実行し、最終的に電子線を照射するところまでを逐次的連続して実行していた。このため、実際に描画を実行する前に、変換処理、および補正処理を個別に行い、該処理の結果を一時的に保持することができなかった。そのため電子線照射にかかる時間、および描画の精度の予測も困難であった。また、途中の処理結果を保持することができないので、処理を一時的に停止させること、および再開させることが困難であった。さらに、同一の設計データを処理する場合でも、はじめから、変換処理、補正処理をやり直す必要があった。

【 0 0 1 2 】

上記従来技術において、オペレーティングシステムが提供する、複数の固定長ブロックの集合によって任意長のデータを実現するファイルシステムにデータを記憶することが多い。該ファイルシステムは、任意のデータに対応する複数の固定長ブロックの関係を保持する管理リストを設けている。しかしながら、大容量のデータに対しては、必要とする固定長ブロックの数が膨大になり、そのため管理リストの容量も膨大となり、記憶装置が実際に記憶できる領域の縮小、および前記データにアクセスするための管理リストの検索処理などによるスループットの低下を招いていた。さらにデータの生成、削除、移動などにより固定長ブロックが記憶装置上で非効率に配置されることによるスループットの低下がおこっていた。

【 0 0 1 3 】

また、上記従来技術の中には、LANを複数のセグメントにわけて、該セグメント間に処理ステーションを設置し、データのコピーを行うことでトラフィックの軽減を図ろうとしているものもあるが、該処理ステーションがセグメント間のデータのコピーを行うために、該処理ステーションがシステム全体の性能のボトルネックとなっていた。さらに各セグメントに接続されている記憶装置で、同一のデータをコピーすることにより、データの複製の整合性の管理が非常に複雑になり、システムの運用が困難になるという問題がある。たとえば、半導体検査装置、および半導体製造装置がネットワークで接続されていても、各装置間でデータをやりとりするためにはネットワークを介してデータをコピーしなければならないために、ネットワークが混雑し、システム全体のスループットが低下する。また、それぞれの装置を複数台用意し、該ネットワークに接続して処理の並列化を図る場合でも、データをコピーしなければならないためにネットワークが混雑するとともに、データ授受の構成を管理しなければならず、システムの構築が困難であった。さらに、ネットワークの多くは、システムを停止させずに新たな記憶装置を接続することはできなかった。すなわち記憶装置が満杯になったときに記憶容量の拡大が非常に困難であった。

【 0 0 1 4 】

本発明の目的は、装置全体のスループットを向上するとともに、各種データの一元的な管理を可能とすることである。

【 0 0 1 5 】

【課題を解決するための手段】

本発明は、制御コマンド等の通信と、半導体製造情報等の大容量の情報を通信、もしくは記憶装置を接続するためのネットワークを分離する構成とする。すなわち大容量の通信および、データを記憶する記憶装置を接続するためのネットワークを設けたものである。

【 0 0 1 6 】

また少なくとも演算部、制御部、描画部のいずれか必要な部位の処理結果を記憶および参照する構成とする。すなわち少なくとも演算部、制御部、描画部のいずれかに記憶装置を接続するためのネットワークへのインタフェースを設けたものである。

【 0 0 1 7 】

また記憶装置へ記憶されている処理結果への参照シーケンスを、ステージの移動および電子線照射軌跡に対応させる構成とする。すなわち、描画領域情報とその描画領域内に存在する図形情報を設け、描画領域情報と図形情報を記憶装置にステージの移動および電子線描画軌跡と一致するように記憶装置に記憶するものである。

【 0 0 1 8 】

また記憶装置を、特定の計算機に直接接続しない構成とする。すなわち、計算機および記憶装置を任意に接続可能なネットワークを設け、その記憶装置を複数の計算機で共有する構成とした。

【 0 0 1 9 】

【発明の実施の形態】

図 1 に、本発明の一実施例を示す。

【 0 0 2 0 】

演算部 1 0 は、半導体設計情報を処理する、少なくとも 1 つ以上の計算機から構成される。一般に半導体設計情報は、図形情報として記述された、たとえば

GDSIIなどのCADデータであることが多く、また、半導体プロセスに依存するセルライブラリ、論理設計情報および回路情報も含まれる。演算部10では図形演算処理および補正処理を実行するとともに、制御部20が入力可能な電子線描画装置独自のデータフォーマットに変換する。制御部20は前記独自データフォーマットを入力とし、描画部30が入力可能なデータに変換するとともに、電子線照射に懸かる近接効果に対する補正処理や、ウェハを移動するステージの位置に追従するための追従制御および、電子線照射の校正制御などを行う。描画部30は、制御部20が出力するデータを入力し、このデータに基づいて電子線を照射する部分である。記憶装置40は、ストレージエリアネットワーク50で、演算部10、制御部20、描画部30と結ばれた、半導体設計情報と、演算部10、制御部20、および描画部30が生成する情報を記憶するものである。ローカルエリアネットワーク60は演算部10、制御部20、描画部30を結ぶものである。描画データ通信路70は、制御部20と描画部30とを接続する通信路である。このようにストレージエリアネットワーク50で接続することにより、従来演算部10、制御部20、描画部30で従来は廃棄していた情報を記憶することが可能となり、かつ記憶装置40が従来のように特定の計算機およびローカルエリアネットワーク60経由で参照する必要がなくなるため、ローカルエリアネットワーク60のトラフィックの軽減が可能になる。また、従来は記憶装置40が特定の計算機に直接接続する構成であったので、たとえばSCSIパラレルインタフェースの場合には、計算機を停止した後に記憶装置40を増設する必要があったが、本構成では記憶装置40は特定の計算機に直接接続されないので、必要に応じて記憶装置40をストレージエリアネットワーク50に追加および可能になる。なお、記憶装置40は、物理的な記憶装置、および該物理的な記憶装置が提供する仮想的な記憶装置もしくは記憶領域を意味する。

【0021】

図2に、本発明の一実施例として、演算部10および制御部20がおのおの少なくともひとつの計算機を有する構成を示すものである。演算部10は、前記半導体製造情報を任意の領域に分割する処理を行う少なくともひとつの分割計算機100と、前記任意の領域に分割された半導体製造情報を処理する少なくともひとつ

とつの変換計算機 1 1 0 とを有し、制御部 2 0 は、少なくともひとつの制御計算機 1 2 0 を有する構成である。ストレージエリアネットワーク 5 0 を経由することにより、分割計算機 1 0 0 と、変換計算機 1 1 0 と制御計算機 1 2 0 は、記憶装置 4 0 にアクセスすることが可能になる。

【 0 0 2 2 】

図 3 は、図 2 における演算部 1 0 を、分割計算機 1 0 0 と、複数の変換計算機 1 1 0 で構成した演算部 1 0 と記憶装置 4 0 とストレージエリアネットワーク 5 0 と半導体製造情報 2 0 0、部分についての実施例を示すものである。このように分割計算機 1 0 0 と、複数の変換計算機 1 1 1, 1 1 2, 1 1 3, 1 1 4 は、ストレージエリアネットワーク 5 0 を経由して、記憶装置 4 0 に記憶されている半導体製造情報 2 0 0 を共有することが可能となる。本実施例では、変換計算機 1 1 0 を 4 台の変換計算機 1 1 1, 1 1 2, 1 1 3, 1 1 4 から構成しているが、4 台に制限するものではない。また、記憶装置 4 0 は、前述のどの計算機にも直接接続されていないので、たとえば任意の数の変換計算機を追加しても、記憶装置 4 0 を参照することが可能となり、装置全体の処理能力を高めることも可能となる。さらに、任意の計算機が故障した場合にでも、記憶装置 4 0 は該故障した計算機に直接接続されていないので、他の計算機は継続して記憶装置 4 0 にアクセスが可能であり、かつ他の計算機に影響を与えずに、前述の故障した計算機をストレージエリアネットワーク 5 0 から切り離すことが可能となる。

【 0 0 2 3 】

図 4 は、図 3 の実施例における処理フローの一例を示したものである。分割計算機 1 0 0 は、記憶装置 4 0 に記憶されている半導体製造情報 2 0 0 を参照して、任意の領域に分割する (S 1 0)。分割計算機 1 0 0 は、処理が可能な変換計算機 1 1 1, 1 1 2, 1 1 3, 1 1 4 のいずれかを選択する (S 2 0)。分割計算機 1 0 0 は、選択した変換計算機 1 1 0 に対して、任意の領域を指定する通信を行う (S 3 0)。未処理の分割領域の有無を確認 (S 5 0)。すべての領域を処理し終わっている場合には終了する。未終了の作業がある場合には S 2 0 に戻る。処理が可能な変換計算機が無い場合には、変換計算機 1 1 1, 1 1 2, 1 1 3, 1 1 4 の終了メッセージの到着を待機する (S 4 0)。一方、変換計算機 1 1 1

、112、113、114は、任意の領域の指定を受信する（S60）。該領域の指定に基づき、変換計算機110は、記憶装置40に記憶されている半導体製造情報200を参照する（S70）。参照した情報を変換する（S80）。処理が終了すると変換計算機110は処理終了のメッセージを分割計算機100に送信する（S90）。

【0024】

図5は、分割計算機100が、半導体製造情報200を、複数の領域202、204、206、208に分割し、該半導体製造情報200と同一の記憶装置40に記憶する一実施例を示したものである。本実施例では、変換計算機110を4台の変換計算機111、112、113、114から構成しているが、4台に制限するものではない。このように分割計算機100と、複数の変換計算機111、112、113、114は、ストレージエリアネットワーク50を経由して、記憶装置40に記憶されている半導体製造情報200を共有することが可能となる。このような構成にすることで、記憶装置40に記憶する情報量が増加するが、半導体製造情報200へのアクセス競合を回避することが可能となり、装置全体の性能向上が可能となる。

【0025】

図6は、図5の実施例における処理フローを示したものである。

【0026】

分割計算機100は、記憶装置40に記憶されている半導体製造情報200を参照して、任意の領域に分割する（S110）。分割計算機100は、該領域に従って半導体製造情報200を、領域情報202、204、206、208に分割し、記憶装置40に記憶する（S115）。本実施例では、半導体製造情報200を四つに分割しているがこの限りではない。分割計算機100は、処理が可能な変換計算機111、112、113、114のいずれかを選択する（S120）。分割計算機100は、選択した変換計算機110に対して、前記領域情報202、204、206、208のいずれかを指定する通信を行う（S130）。未処理の分割領域の有無を確認（S150）。すべての領域を処理し終わっている場合には終了する。未終了の作業がある場合にはS120に戻る。処理が可能な変

換計算機が無い場合には、変換計算機 1 1 1, 1 1 2, 1 1 3, 1 1 4 の終了メッセージの到着を待機する (S 1 4 0)。一方、変換計算機 1 1 1, 1 1 2, 1 1 3, 1 1 4 は、任意の領域情報の指定を受信する (S 1 6 0)。該領域情報に基づき、変換計算機 1 1 0 は、記憶装置 4 0 に記憶されている分割された設計情報 2 0 2, 2 0 4, 2 0 6, 2 0 8 の少なくともひとつを参照する (S 1 7 0)。参照した情報を変換する (S 1 8 0)。処理が終了すると変換計算機 1 1 0 は処理終了のメッセージを分割計算機 1 0 0 に送信する (S 1 9 0)。

【 0 0 2 7 】

図 7 は、分割計算機 1 0 0 が、半導体製造情報 2 0 0 を、複数の領域に分割し、該半導体製造情報 2 0 0 を記憶する記憶装置 4 0、と異なる記憶装置 4 1 に記憶する一実施例を示したものである。本実施例では、変換計算機 1 1 0 を 4 台の変換計算機 1 1 1, 1 1 2, 1 1 3, 1 1 4 から構成しているが、4 台に制限するものではない。このように分割計算機 1 0 0 と、複数の変換計算機 1 1 1, 1 1 2, 1 1 3, 1 1 4 は、ストレージエリアネットワーク 5 0 を経由して、記憶装置 4 0 に記憶されている半導体製造情報 2 0 0 を共有することが可能となり、かつ記憶装置 4 1 を設けたことにより、分割計算機 1 0 0 の処理終了後に半導体製造情報 2 0 0 を操作しても変換計算機 1 1 0 の処理に影響がなくなる。また、記憶装置 4 0 の負荷軽減、および記憶装置 4 1 におけるアクセス競合を回避することが可能となり、分割計算機 1 0 0 と、変換計算機 1 1 1, 1 1 2, 1 1 3, 1 1 4 の並行処理性能を向上させることが可能となる。さらに、分割計算機 1 0 0 の処理が終了した時点で、半導体製造情報 2 0 0 は不要となるため削除することができるので、新たな半導体製造情報 2 0 0 を記憶装置 4 0 に記憶することが可能となる。これにより、分割計算機 1 0 0 の処理が終了した時点で、半導体製造情報 2 0 0 を削除し、次処理の設計情報を登録することが可能となるので記憶装置 4 0 を有効に活用することができる。

【 0 0 2 8 】

図 8 は、図 7 の実施例における処理フローを示したものである。

【 0 0 2 9 】

分割計算機 1 0 0 は、記憶装置 4 0 に記憶されている半導体製造情報 2 0 0 を

参照して、任意の領域に分割する（S 2 1 0）。分割計算機 1 0 0 は、該領域に従って半導体製造情報 2 0 0 を、領域情報 2 0 2, 2 0 4, 2 0 6, 2 0 8 に分割し、記憶装置 4 0 に記憶する（S 2 1 5）。本実施例では、半導体製造情報 2 0 0 を四つに分割しているがこの限りではない。分割計算機 1 0 0 は、処理が可能な変換計算機 1 1 1, 1 1 2, 1 1 3, 1 1 4 のいずれかを選択する（S 2 2 0）。分割計算機 1 0 0 は、選択した変換計算機 1 1 0 に対して、前記領域情報 2 0 2, 2 0 4, 2 0 6, 2 0 8 のいずれかを指定するとともに記憶装置 4 1 を指定する通信を行う（S 2 3 0）。未処理の分割領域の有無を確認（S 2 5 0）。すべての領域を処理し終わっている場合には終了する。未終了の作業がある場合には S 2 2 0 に戻る。処理が可能な変換計算機が無い場合には、変換計算機 1 1 1, 1 1 2, 1 1 3, 1 1 4 の終了メッセージの到着を待機する（S 2 4 0）。一方、変換計算機 1 1 1, 1 1 2, 1 1 3, 1 1 4 は、任意の領域情報の指定を受信する（S 2 6 0）。該領域情報に基づき、変換計算機 1 1 0 は、記憶装置 4 0 に記憶されている分割された設計情報 2 0 2, 2 0 4, 2 0 6, 2 0 8 の少なくともひとつを参照する（S 2 7 0）。参照した情報を変換する（S 1 8 0）。処理が終了すると変換計算機 1 1 0 は処理終了のメッセージを分割計算機 1 0 0 に送信する（S 2 9 0）。

【 0 0 3 0 】

図 9 は、分割計算機 1 0 0 が、半導体製造情報 2 0 0 を、複数の領域 2 0 2, 2 0 4, 2 0 6, 2 0 8 に分割し、変換計算機 1 1 1, 1 1 2, 1 1 3, 1 1 4 それぞれに対応する記憶装置 4 2, 4 4, 4 6, 4 8 に記憶する一実施例を示したものである。本実施例では、変換計算機 1 1 0 を 4 台の変換計算機 1 1 1, 1 1 2, 1 1 3, 1 1 4 から構成しているが、4 台に制限するものではない。このように分割計算機 1 0 0 と、複数の変換計算機 1 1 1, 1 1 2, 1 1 3, 1 1 4 は、ストレージエリアネットワーク 5 0 を経由して、記憶装置 4 0 に記憶されている半導体製造情報 2 0 0 を共有することが可能となり、かつ記憶装置 4 2, 4 4, 4 6, 4 8 を設けたことにより、分割計算機 1 0 0 の処理終了後に半導体製造情報 2 0 0 を操作しても変換計算機 1 1 0 の処理に影響がなくなる。また、変換計算機 1 1 1, 1 1 2, 1 1 3, 1 1 4 の分割した半導体設計情報 2 0 2,

204, 206, 208へのアクセスを分離することが可能なので、変換計算機111, 112, 113, 114のアクセス性能を向上させ、実質的に変換処理性能をあげることが可能となる。

【0031】

図10は、図9の実施例における処理フローを示したものである。分割計算機100は、記憶装置40に記憶されている半導体製造情報200を参照して、任意の領域に分割する(S310)。分割計算機100は、該領域に従って半導体製造情報200を、領域情報202, 204, 206, 208に分割し、それぞれ記憶装置42, 44, 46, 48に記憶する(S315)。本実施例では、半導体製造情報200を四つに分割し、四つの記憶装置に記憶しているがこの限りではない。分割計算機100は、処理が可能な変換計算機111, 112, 113, 114のいずれかを選択する(S320)。分割計算機100は、選択した変換計算機110に対して、前記領域情報202, 204, 206, 208と記憶装置42, 44, 46, 48の組合せのいずれかを指定する通信を行う(S330)。未処理の分割領域の有無を確認(S350)。すべての領域を処理し終わっている場合には終了する。未終了の作業がある場合にはS320に戻る。処理が可能な変換計算機が無い場合には、変換計算機111, 112, 113, 114の終了メッセージの到着を待機する(S340)。一方、変換計算機111, 112, 113, 114は、任意の領域情報および記憶装置の指定を受信する(S360)。該領域情報および記憶装置の指定に基づき、変換計算機110は、記憶装置42, 44, 46, 48に記憶されている分割された設計情報202, 204, 206, 208の少なくともひとつを参照する(S370)。参照した情報を変換する(S380)。処理が終了すると変換計算機110は処理終了のメッセージを分割計算機100に送信する(S390)。

【0032】

図11は、記憶装置40に記憶されている半導体製造情報200を短冊状に分割した一実施例を示したものである。短冊状のストライプ情報302から350は、X軸方向の分割幅は電子線照射が可能な領域幅たとえば数百マイクロメートル、Y軸方向の長さはステージの移動が可能な範囲たとえば数百ミリメートルに

則して決定される。これにより、ステージを連続して稼動しながら電子線を照射するのに合致したストライプ情報になるので、該ストライプ情報へのアクセスの効率がよくなる。

【0033】

図12は、記憶装置40に記憶されている半導体製造情報200をメッシュ状に分割した一実施例を示したものである。メッシュ状に区切られた情報410-450は、たとえば、幅、高さともに1mmの固定値とする。これにより図11に比べて分割された設計情報一つの容量が小さくできるために、変換計算機110の処理負荷を軽減することが可能となる。また、Y軸方向の分割が少なくなるため、半導体製造情報200に収められている半導体部品が分断される確率が低くなるため、全体の電子線描画の精度を向上させることが可能となる。

【0034】

図13は、図11もしくは図12で示した分割した半導体製造情報200を変換計算機110で処理した結果を、領域情報501と、該領域情報が示す領域内に存在する図形情報502を対とした微小描画情報510とし、該描画情報を電子線照射が効率的に実行できるような照射軌跡になるように、記憶装置80の論理的アドレス順に記憶したストライプ描画情報520の一実施例を示したものである。前記論理アドレスは、たとえばSCSIディスクドライブのLBA (Logical Block Address) に相当する。ストライプ描画情報520は、図12の短冊状に分割した領域302-350の個々に対応がつく。また、ストライプ描画情報520は、図14のメッシュ状に分割した領域402-450内の任意の組に相当する。たとえば、Y軸方向で組合せた分割領域402, 404, 406, 408, 410である。

【0035】

このように、領域情報501と、該領域情報が示す領域内に存在する図形情報502を、連続して記憶装置80の論理アドレス順に記憶することにより、記憶装置の連続読出しによる性能向上が期待でき、かつ微小描画情報510ごとにステージを移動し、そして描画するような、ステップ&リピート方式の描画の性能向上が可能である。

【 0 0 3 6 】

図 1 4 は、図 1 1 もしくは図 1 2 で示した分割した半導体製造情報 2 0 0 を変換計算機 1 1 0 で処理した結果を、領域情報 5 0 1 を電子線照射が効率的に実行できるような照射軌跡になるような順に並べた領域群情報 5 3 0 と、該領域情報が示す領域内に存在する図形情報 5 0 2 を該領域群情報 5 3 0 の並びに合致した図形情報群 5 4 0 とし、記憶装置 8 0 の論理的アドレス順に記憶する一実施例を示したものである。ストライプ描画情報 5 2 0 は、図 1 2 の短冊状に分割した領域 3 0 2 - 3 5 0 の個々に対応がつく。また、ストライプ描画情報 5 2 0 は、図 1 4 のメッシュ状に分割した領域 4 0 2 - 4 5 0 内の任意の組に相当する。たとえば、Y 軸方向で組合せた分割領域 4 0 2, 4 0 4, 4 0 6, 4 0 8, 4 1 0 である。

【 0 0 3 7 】

このように領域情報 5 0 1 と、該領域情報が示す領域内に存在する図形情報 5 0 2 とを分離し、それぞれを連続して記憶装置 8 0 の論理アドレス順に記憶することにより、記憶装置の連続読出しによる読出し性能の向上が期待できる。また領域群情報 5 3 0 を図形情報群 5 4 0 よりも先に読出すことにより、ステージ移動速度の最適化処理が可能となるので、ステージを連続して移動させて、かつ電子線描画の偏向も連続して行うような連続描画の性能を向上することが可能である。

【 0 0 3 8 】

図 1 5 は、ストレージエリアネットワーク 5 0 に、スイッチ 5 1 を用いたトポロジーを採用した半導体製造装置の一実施例である。演算部 1 0 は、前記半導体製造情報を任意の領域に分割する処理を行う少なくともひとつの分割計算機 100 と、前記任意の領域に分割された半導体製造情報を処理する少なくともひとつの変換計算機 1 1 0 とを有し、制御部 2 0 は、少なくともひとつの制御計算機 120 を有する構成である。

【 0 0 3 9 】

半導体製造情報 2 0 0 を記憶する記憶装置 4 0 は通信路 1 0 0 0, ストライプ描画情報群 5 0 0 を記憶する記憶装置 8 0 は通信路 1 0 1 0 でスイッチ 5 1 に接

続する。分割計算機 1 0 0 は通信路 1 0 2 0, 変換計算機 1 1 0 は通信路 1030, 制御計算機 1 2 0 は通信路 1 0 4 0 でスイッチ 5 1 に接続する。以上の接続でストレージエリアネットワーク 5 0 が構成される。

【 0 0 4 0 】

図 1 6 は、ストレージエリアネットワーク 5 0 に、スイッチを用いたトポロジーを採用し、かつ通信路を二重化することで、通信帯域の拡大、および故障回避が可能な半導体製造装置の一実施例である。演算部 1 0 は、前記半導体製造情報を任意の領域に分割する処理を行う少なくともひとつの分割計算機 1 0 0 と、前記任意の領域に分割された半導体製造情報を処理する少なくともひとつの変換計算機 1 1 0 とを有し、制御部 2 0 は、少なくともひとつの制御計算機 1 2 0 を有する構成である。

【 0 0 4 1 】

半導体製造情報 2 0 0 を記憶する記憶装置 4 0 は通信路 1 0 0 0 および通信路 1 0 5 0, ストライプ描画情報群 5 0 0 を記憶する記憶装置 8 0 は通信路 1010 および通信路 1 0 6 0 でスイッチ 5 1 および 5 2 に接続する。分割計算機 1 0 0 は通信路 1 0 2 0 および通信路 1 0 7 0, 変換計算機 1 1 0 は通信路 1 0 3 0 および通信路 1 0 8 0, 制御計算機 1 2 0 は通信路 1 0 4 0 および通信路 1 0 9 0 でスイッチ 5 1 およびスイッチ 5 2 に接続する。以上の接続で二重化されて冗長性をもったストレージエリアネットワーク 5 0 が構成される。

【 0 0 4 2 】

図 1 7 は、制御計算機 1 2 0, 1 2 1 で二重化して、記憶装置 8 0 に記憶されている図 1 1, 図 1 2 のストライプ描画情報の集合をアクセスすることで描画部での処理時間待ちを防ぐ一実施例である。演算部 1 0 は、前記半導体製造情報を任意の領域に分割する処理を行う少なくともひとつの分割計算機 1 0 0 と、前記任意の領域に分割された半導体製造情報を処理する少なくともひとつの変換計算機 1 1 0 とを有し、制御部 2 0 は、制御計算機 1 2 0, 1 2 1 を有する構成である。半導体製造情報 2 0 0 を記憶する記憶装置 4 0 は通信路 1 0 0 0, ストライプ描画情報群 5 0 0 を記憶する記憶装置 8 0 は通信路 1 0 1 0 でスイッチ 5 1 に接続する。分割計算機 1 0 0 は通信路 1 0 2 0, 変換計算機 1 1 0 は通信路 1030

、制御計算機 1 2 0 は通信路 1 0 4 0、制御計算機 1 2 1 は通信路 1 1 0 0 でスイッチ 5 1 に接続する。以上の接続でストレージエリアネットワーク 5 0 が構成される。制御計算機 1 2 0 は、通信路 1 0 4 0、およびスイッチ 5 1、および通信路 1 0 1 0 を経由して記憶装置 8 0 にアクセスし、該記憶装置に格納されているストライプ描画情報群 5 0 0 の一ストライプ分の描画情報を処理する。この処理結果は通信路 7 0 を経由して描画部 3 0 に転送されて、描画される。制御計算機 1 2 0 の処理を行い、描画部 3 0 が電子線描画している時間は、制御計算機 1 2 1 が次のストライプ分の描画情報の処理が可能である。そこで、制御計算機 1 2 1 は制御計算機 1 2 0 と同様に、通信路 1 1 0 0、およびスイッチ 5 1、および通信路 1 0 1 0 を経由して記憶装置 8 0 にアクセスし、該記憶装置に格納されている未処理のストライプ描画情報群 5 0 0 を処理することが可能である。このように制御計算機 1 2 0 および制御計算機 1 2 1 が交互に処理を先に実行することで、装置全体の性能を向上させることができる。

【 0 0 4 3 】

図 1 8 は、図 1 6 および図 1 7 における記憶装置 8 0 のアクセス競合回避、およびスループットを向上することを目的に、記憶装置の二重化を行った実施例である。演算部 1 0 は、前記半導体製造情報を任意の領域に分割する処理を行う少なくともひとつの分割計算機 1 0 0 と、前記任意の領域に分割された半導体製造情報を処理する少なくともひとつの変換計算機 1 1 0 とを有し、制御部 2 0 は、二つの制御計算機 1 2 0、1 2 1 を有する構成である。半導体製造情報 2 0 0 を記憶する記憶装置 4 0 は通信路 1 0 0 0 および通信路 1 0 5 0、ストライプ描画情報群 5 0 0 を記憶する記憶装置 8 0 は通信路 1 0 1 0 および通信路 1 0 6 0、ストライプ処理結果 5 0 1 を記憶する記憶装置 8 1 は通信路 1 0 1 1 および通信路 1 0 5 1 でスイッチ 5 1 および 5 2 に接続する。分割計算機 1 0 0 は通信路 1 0 2 0 および通信路 1 0 7 0、変換計算機 1 1 0 は通信路 1 0 3 0 および通信路 1 0 8 0、制御計算機 1 2 0 は通信路 1 0 4 0 および通信路 1 0 9 0、制御計算機 1 2 1 は通信路 1 1 0 0 でスイッチ 5 1 およびスイッチ 5 2 に接続する。以上の接続で二重化されて冗長性をもったストレージエリアネットワーク 5 0 が構成される。

【 0 0 4 4 】

たとえば、記憶装置 8 0 を制御計算機 1 2 0、記憶装置 8 1 を制御計算機 1 2 1、に対応づける場合において、変換計算機 1 1 0 は、通信路 1 0 8 0、スイッチ 5 1、通信路 1 0 1 0 を経由して処理結果を記憶装置 8 0 に記憶し、制御計算機 1 2 0 は、通信路 1 0 4 0、スイッチ 5 2、通信路 1 0 6 0 を経由して記憶装置 8 0 から、ストライプ処理結果 5 0 1 を読出すことが可能である。また、変換計算機 1 1 0 は、通信路 1 0 3 0、スイッチ 5 2、通信路 1 0 6 1 を経由して処理結果を記憶装置 8 1 に記憶し、制御計算機 1 2 1 は、通信路 1 0 9 0、スイッチ 5 1、通信路 1 0 1 1 を経由して記憶装置 8 1 から、ストライプ処理結果 5 0 1 を読出すことが可能である。

【 0 0 4 5 】

以上のように、変換計算機 1 1 0 の記憶装置 8 0 への記憶と、制御計算機 1 2 0 の記憶装置 8 0 へのアクセスと、変換計算機 1 1 0 の記憶装置 8 1 への記憶と、制御計算機 1 2 1 の記憶装置 8 1 へのアクセスが異なった経路をとる構造にすることで、記憶装置 8 0、8 1 および制御計算機 1 2 0、1 2 1 間でのアクセス競合を排除できるため、システム全体の性能の向上が可能となる。

【 0 0 4 6 】

図 1 9 は、ストライプ描画情報群 5 0 0 を記憶する記憶装置 8 0 以降の構成を多重化した一実施例である。ストライプ描画情報群 5 0 0 を記憶する記憶装置 8 0 は、ストレージエリアネットワーク 5 0 に接続されている。制御部 2 0 は少なくともひとつの計算機 1 2 0 を有し、描画部 3 0 と通信路 7 0 で接続されている。また制御部 2 1 は少なくともひとつの計算機 1 2 1 を有し、描画部 3 1 と通信路 7 1 で接続されている。制御部 2 0 と、描画部 3 0 と、制御部 2 1 と描画部 3 1 は、前記ストレージエリアネットワーク 5 0 に接続しており、ストライプ描画情報群 5 0 0 にアクセスすることが可能である。このように、前記制御部と描画部の組合せを複数用意して、ストレージエリアネットワーク 5 0 に接続することによって、同一のストライプ描画情報群 5 0 0 に対する描画時間を短縮することが可能となる。なお、図 1 8 のように、記憶装置 8 1 および、制御計算機 1 2 1 に相当する計算機を追加した経路の多重系を組合せることで、高速化が可能とな

り、さらに描画時間を短縮することが可能である。

【0047】

図20は、前記演算部10の、分割計算機100および変換計算機110を、複数の計算機を有し貸し出しおよび管理を業務とするサービスプロバイダ600の計算機とし、さらに複数の記憶装置を有し貸し出しおよび管理を業務とするストレージプロバイダ700の記憶装置を、前記設計情報を記憶する記憶装置40、および前記ストライプ描画情報を記憶する記憶装置80および81として利用することとし、ルータまたブリッジ64経由でインターネット62、もしくは専用回線等の通信路32、とで複数の経路で、制御部20および描画部30と接続する構成である。記憶装置81は、記憶装置80のバックアップであり、かつ通信路32の通信帯域が狭い場合に対応するための記憶装置40、記憶装置80のローカルコピーもしくは使用頻度が高い情報を記憶する記憶装置である。このようにすることで、半導体製造装置は制御部20および描画部30のみを半導体製造の現場にすることが可能となり、クリーンルーム内での設置面積を削減することが可能となる。装置の顧客である半導体製造装置ユーザ、もしくは半導体製造装置ユーザの顧客2000は、何らかの手段でインターネット62もしくはストレージエリアネットワーク50に接続することで、サービスプロバイダ600の計算機、ストレージプロバイダ700の記憶装置、および制御部20、描画部30を使用することが可能となる。顧客2000を論理設計メーカとした場合、記憶装置40を、半導体設計データ的一种であるマスクレイアウトデータを、ストレージエリアネットワーク50、32もしくはインターネット62を経由して共有することが可能になり、マスクレイアウトデータを一元的に管理および保管することが可能になる。従来、顧客と装置ユーザの間で時間を要していた半導体製造情報200の授受がなくなるとともに、両方で半導体製造情報200相当の容量の記憶装置を所有する必要がなくなる。

【0048】

半導体製造装置は実質的に制御部20および描画部30となるため、サービスプロバイダ600、およびストレージプロバイダ700の設備を活用することで、少ない投資で設備の運用効果を向上させることが可能となる。

【 0 0 4 9 】

図 2 1 は、電子線照射のショット情報を記憶装置に記憶する本発明の一実施例を示すものである。演算部 1 0 は、少なくとも一つの分割計算機 1 0 0 と、少なくとも一つの変換計算機 1 1 0 を有し、ストレージエリアネットワーク 5 0 とローカルエリアネットワーク 6 0 に接続されている。制御部 2 0 は、少なくとも一つの制御計算機 1 2 0 と、ストライプ描画情報に含まれる図形情報を電子線で描画できる基本的な図形に分解する分解ユニット 1 2 5 と、電子線照射における近接効果に対する補正を行う近接補正ユニット 1 2 6 と、電子線照射における位置等の校正を行う校正ユニットと、ステージ 3 2 の移動に追従して電子線照射の偏向に関与する追従ユニット 1 4 2 を有し、ストレージエリアネットワーク 5 0 とローカルエリアネットワーク 6 0 に接続されている。描画部 3 0 は、描画データ通信路 7 0 によって送られてきたデジタルデータをアナログデータに変換し偏向器等を制御する DAC 3 1、マスクもしくはウェハを移動させるステージ 3 2、および DAC 3 1 に入力されるデジタルデータをストレージエリアネットワーク 5 0 のプロトコルに変換するブリッジ 3 3 を有し、ストレージエリアネットワーク 5 0 とローカルエリアネットワーク 6 0 に接続されている。

【 0 0 5 0 】

このような構成にすることにより、分解ユニット 1 2 5、近接ユニット 1 2 6、校正ユニット 1 4 0 の処理結果を一時的に記憶装置 4 0 に記憶することが可能となり、処理を一旦停止させた後に、前記一時的に記憶された結果をもとに処理を継続することが可能となった。また、ブリッジ 3 3 を設けて、電子線の照射のショット情報 2 1 0 を記憶装置 4 0 に格納することにより、DAC 3 1 を稼働させない場合には、実際に描画をしなくてもショットの評価が可能になるとともに、実際に描画した場合には記憶装置 4 0 に記憶されたショット情報 2 1 0 描画不良が発生した場合の原因究明の一助となる。

【 0 0 5 1 】

以上のような各実施例の構成により、大容量の半導体設計情報の通信を高速に実行し、その設計情報を記憶することができ、かつ複数の装置で該設計情報を参照することが可能なネットワークを有する半導体製造装置が提供できる。

【 0 0 5 2 】

また、半導体設計情報を変換する処理、および補正する処理の結果を記憶する手段を有し、その記憶された処理結果を用いて、描画処理の一時停止および再開が可能な電子線製造装置が提供できる。

【 0 0 5 3 】

また、ステージの移動および電子線照射可能領域に懸かる電子線照射の方法および軌跡に適した記憶形式及び記憶装置の配置が可能な半導体製造装置が提供できる。

【 0 0 5 4 】

また、処理能力および記憶容量に対する要求に対応した、計算機および記憶装置を、半導体製造装置を停止することなく、追加および削除が可能な半導体製造装置が提供できる。

【 0 0 5 5 】

【発明の効果】

記憶装置の接続のための通信路を設けたことにより、装置全体のスループットが向上するとともに、各種データの一元的な管理が可能となる。

【図面の簡単な説明】

【図 1】

本発明に係る半導体製造装置の基本構成の一実施例を示す図である。

【図 2】

本発明の複数計算機の一実施例を示す図である。

【図 3】

本発明の演算部の並列処理構成の一実施例を示す図である。

【図 4】

図 3 の領域を指定して処理するフローを示す図である。

【図 5】

領域情報を分割して記憶する構成を示す図である。

【図 6】

図 5 の領域情報を分割して処理するフローを示す図である。

【図 7】

領域情報を分割して別の記憶装置に記憶する構成を示す図である。

【図 8】

図 7 の領域情報を分割して処理するフローを示す図である。

【図 9】

領域情報を分割して夫々別の記憶装置に記憶する構成を示す図である。

【図 1 0】

領域情報を分割して処理するフローを示す図である。

【図 1 1】

本発明の設計情報を短冊状に分割した一実施例を示す図である。

【図 1 2】

本発明の設計情報をメッシュ状に分割した一実施例を示す図である。

【図 1 3】

本発明のストライプ描画情報を、領域情報、および該領域に含まれる図形情報の組として記憶した一実施例を示す図である。

【図 1 4】

本発明のストライプ描画情報を、領域情報群と、図形情報群として記憶した一実施例を示す図である。

【図 1 5】

本発明のストレージエリアネットワークをファブリックで構成した一実施例を示す図である。

【図 1 6】

本発明の通信路および通信回線機器を二重化した一実施例を示す図である。

【図 1 7】

本発明の制御部を二重化した一実施例を示す図である。

【図 1 8】

本発明の通信路、通信回線機器、および制御部を二重化した一実施例を示す図である。

【図 1 9】

本発明の装置のクラスタ構成の一実施例を示す図である。

【図 2 0】

本発明のサービスプロバイダとストレージプロバイダに接続した半導体製造装置の一実施例を示す図である。

【図 2 1】

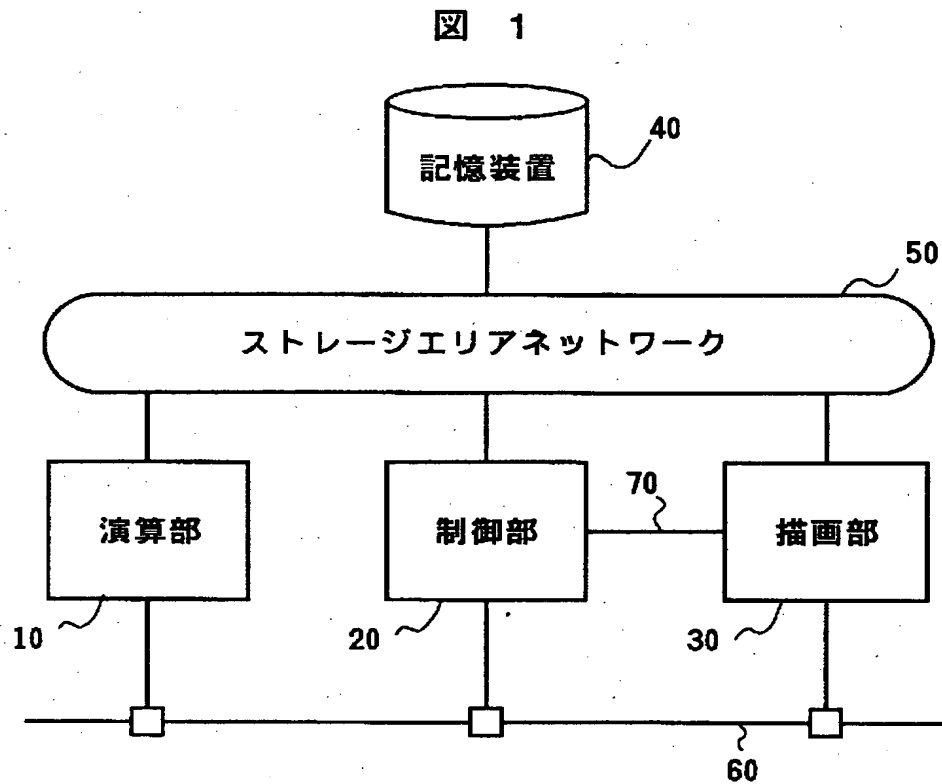
本発明の処理途中結果を記憶することが可能な半導体製造装置の一実施例を示す図である。

【符号の説明】

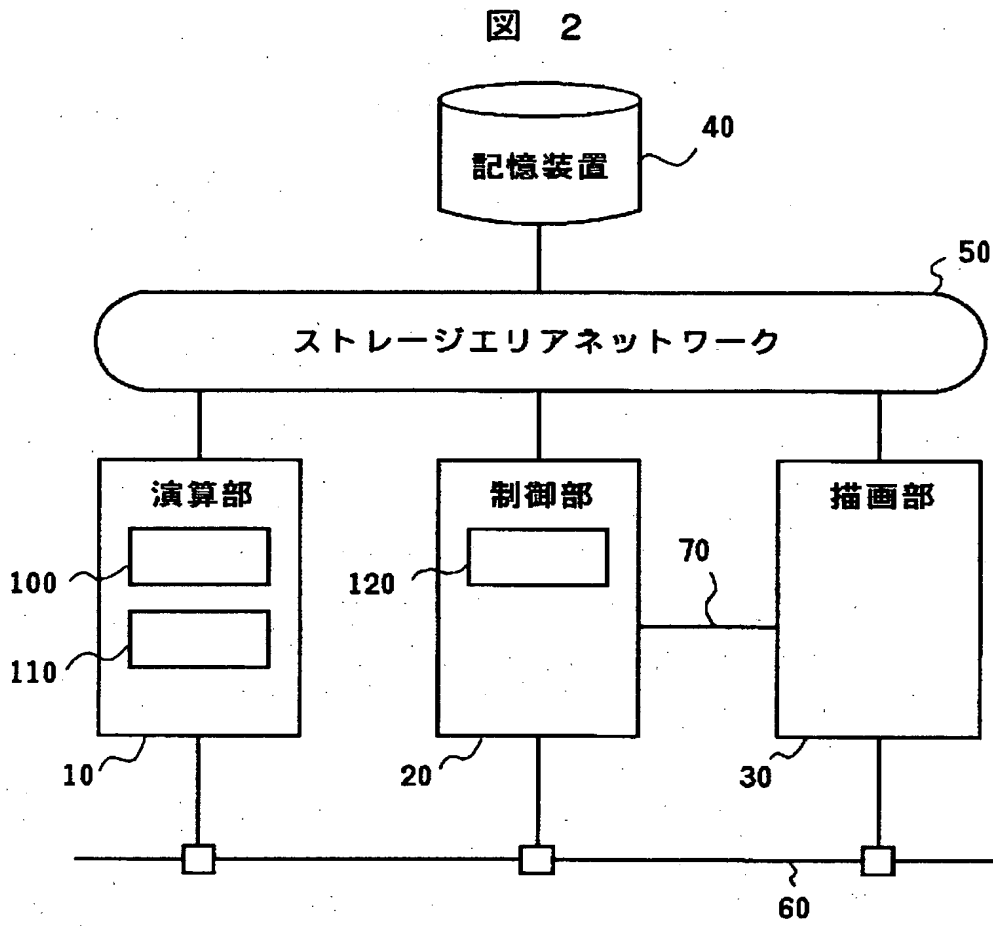
1 0 …演算部、2 0 …制御部、3 0 …描画部、4 0, 8 0 …記憶装置、5 0 …ストレージエリアネットワーク、6 0 …ローカルエリアネットワーク、7 0 …描画データ通信路、1 0 0 …分割計算機、1 1 0 …変換計算機、2 0 0 …半導体製造情報、2 1 0 …ショット情報、5 0 0 …ストライプ描画情報群、6 0 0 …サービスプロバイダ、7 0 0 …ストレージプロバイダ、2 0 0 0 …顧客。

【書類名】 図面

【図 1】

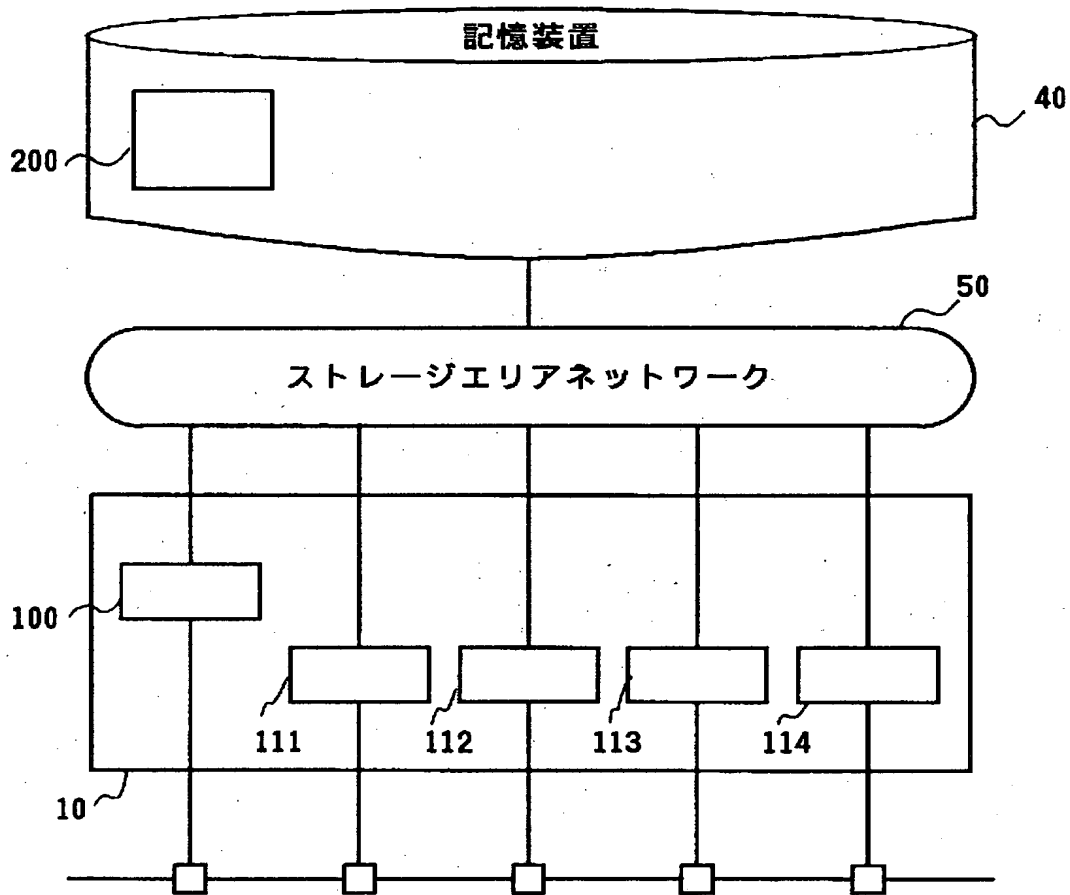


【図 2】



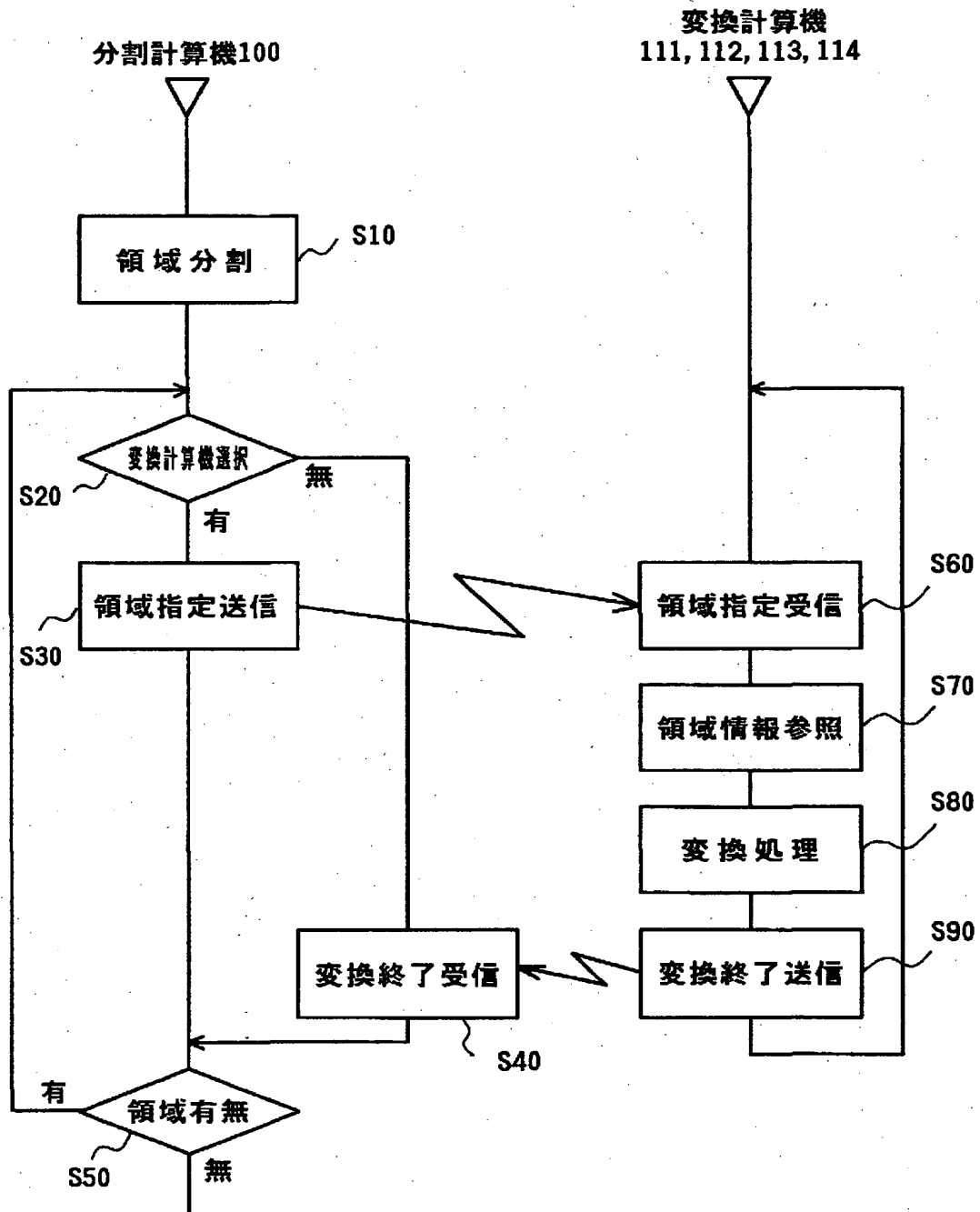
【図 3】

図 3



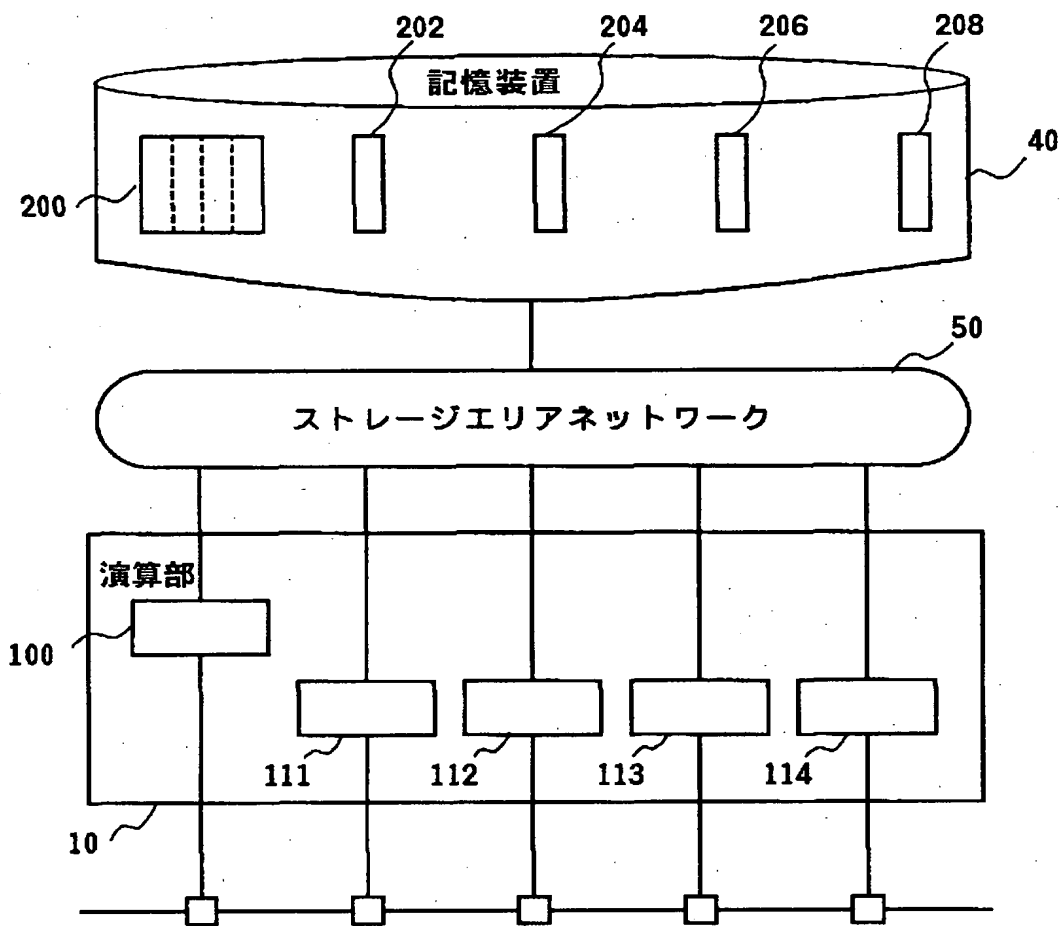
【図 4】

図 4



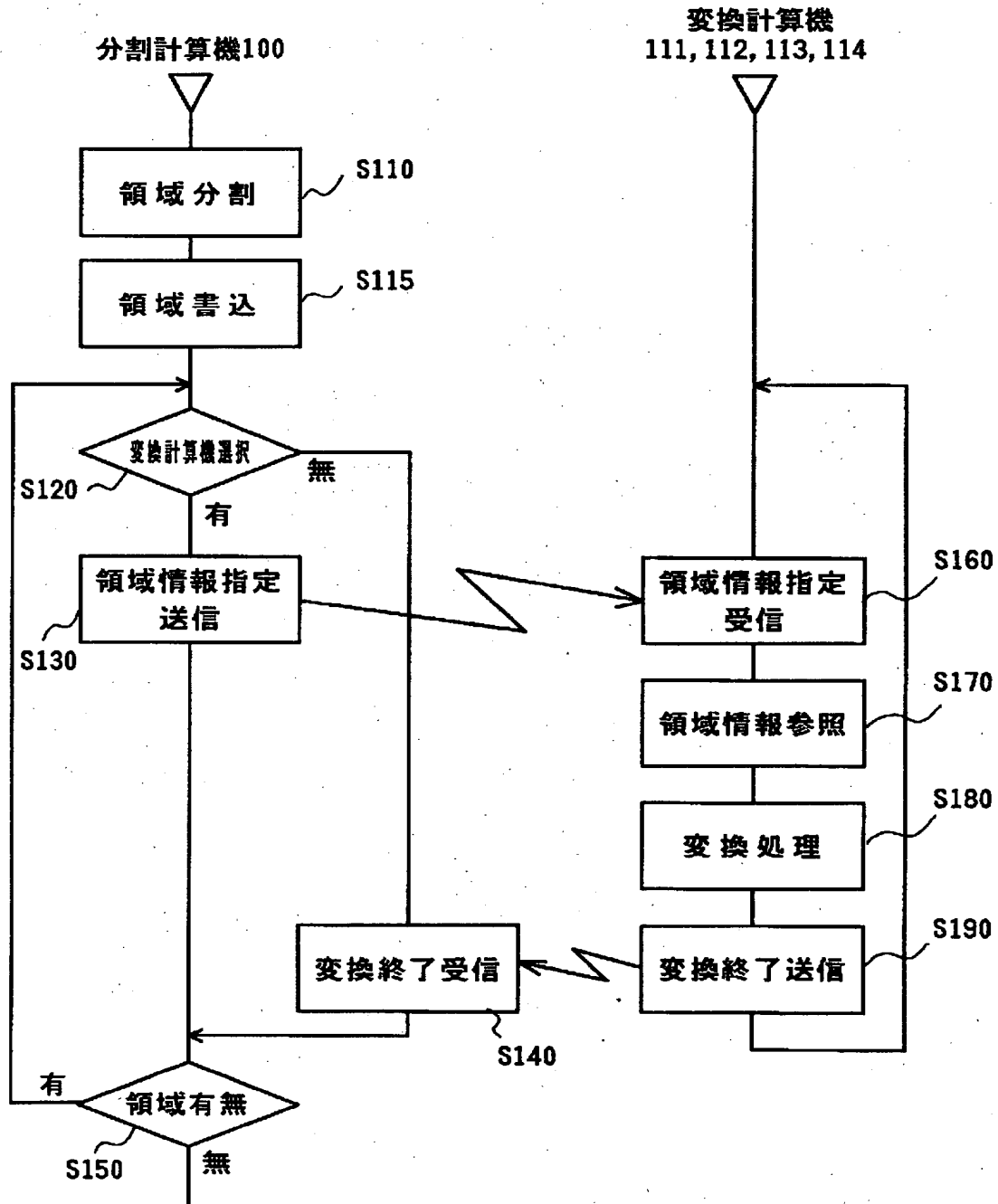
【図 5】

図 5



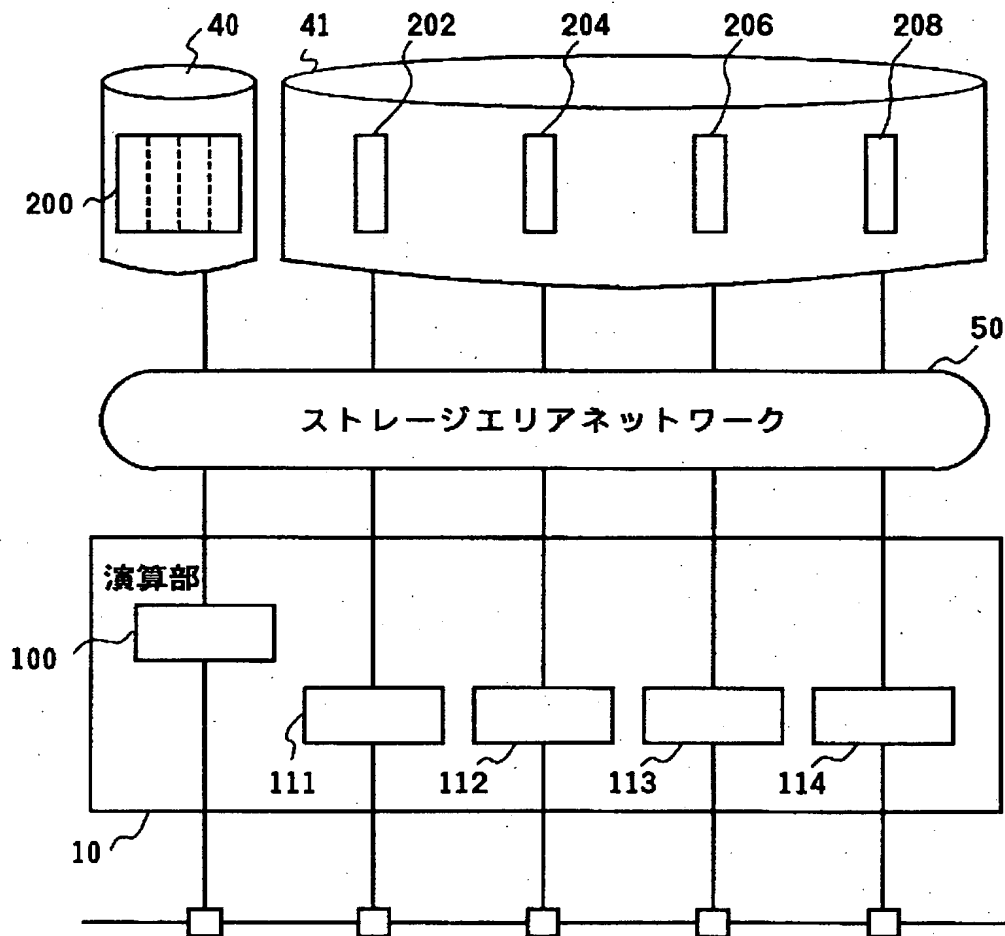
【図 6】

図 6



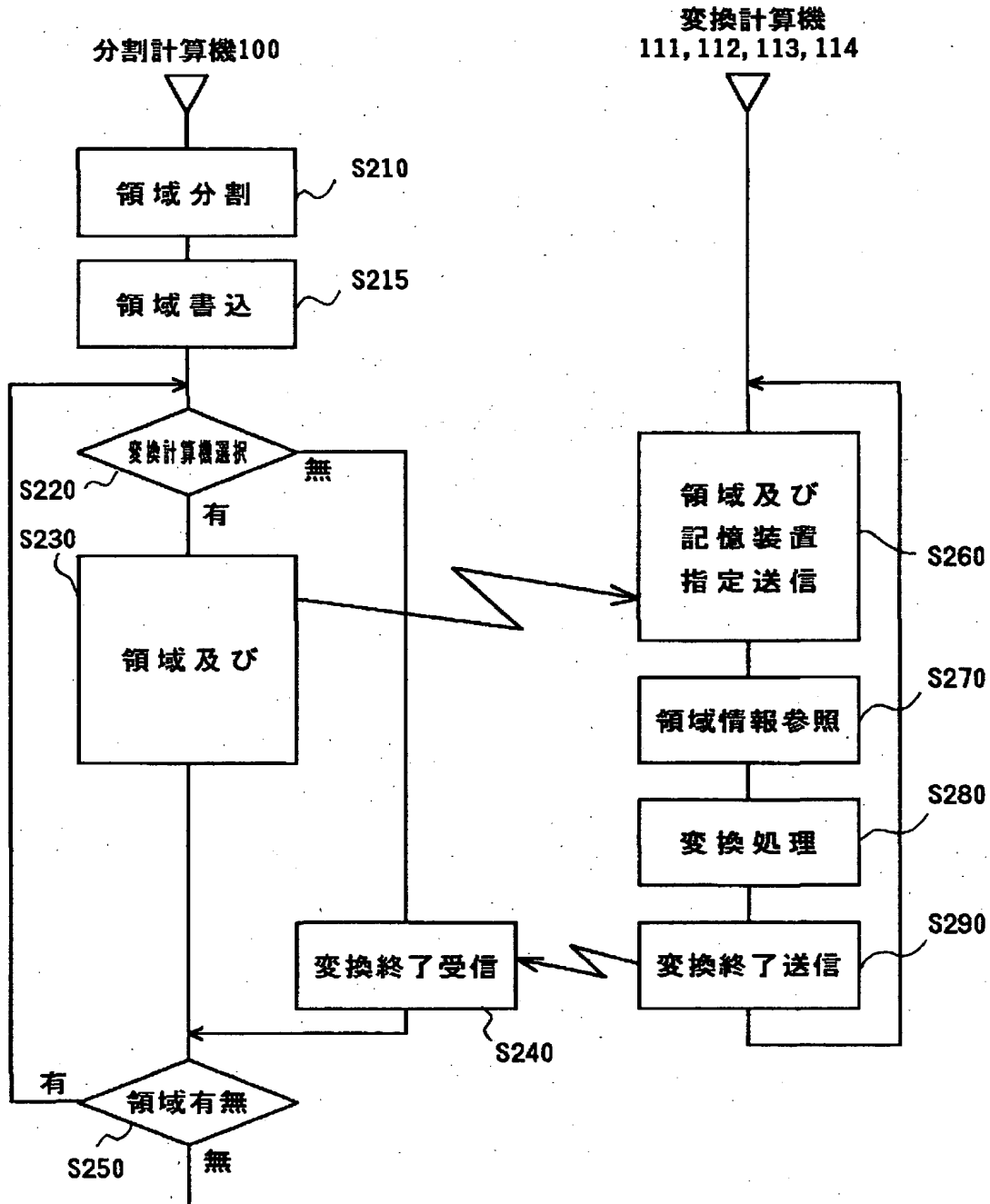
【図 7】

図 7



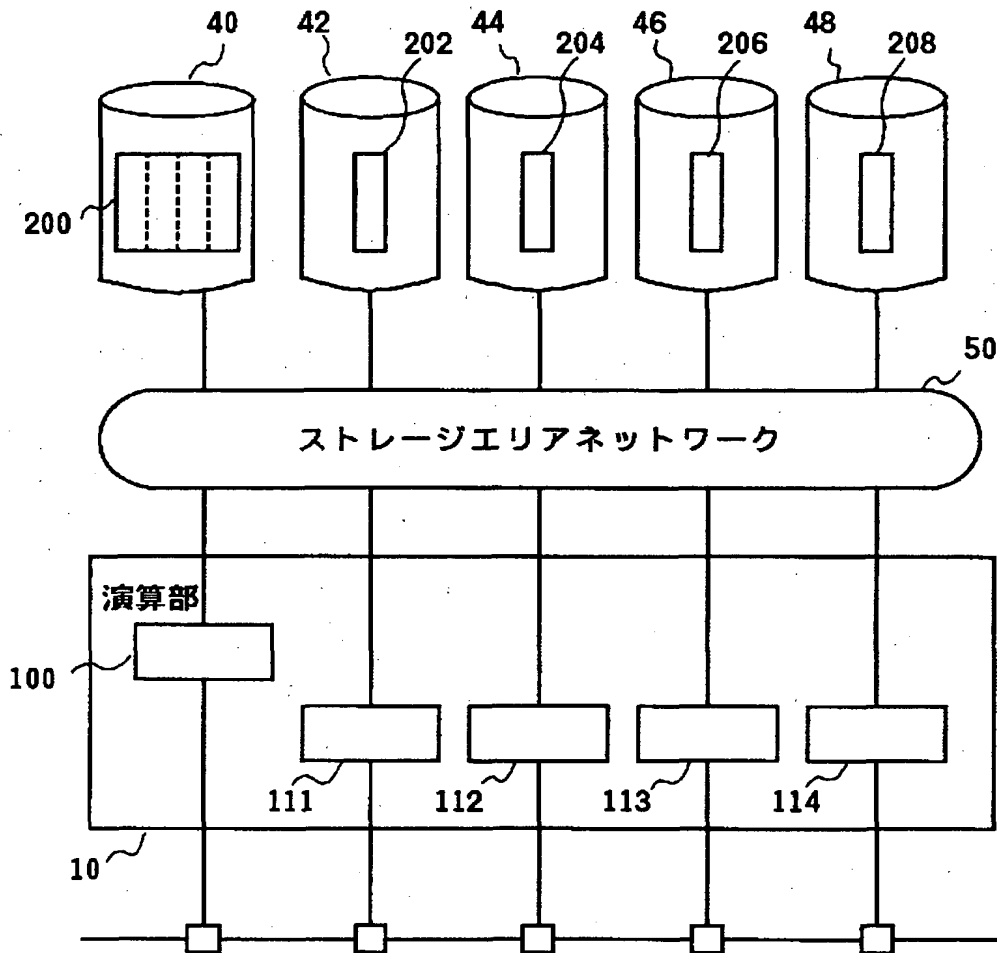
【図 8】

図 8



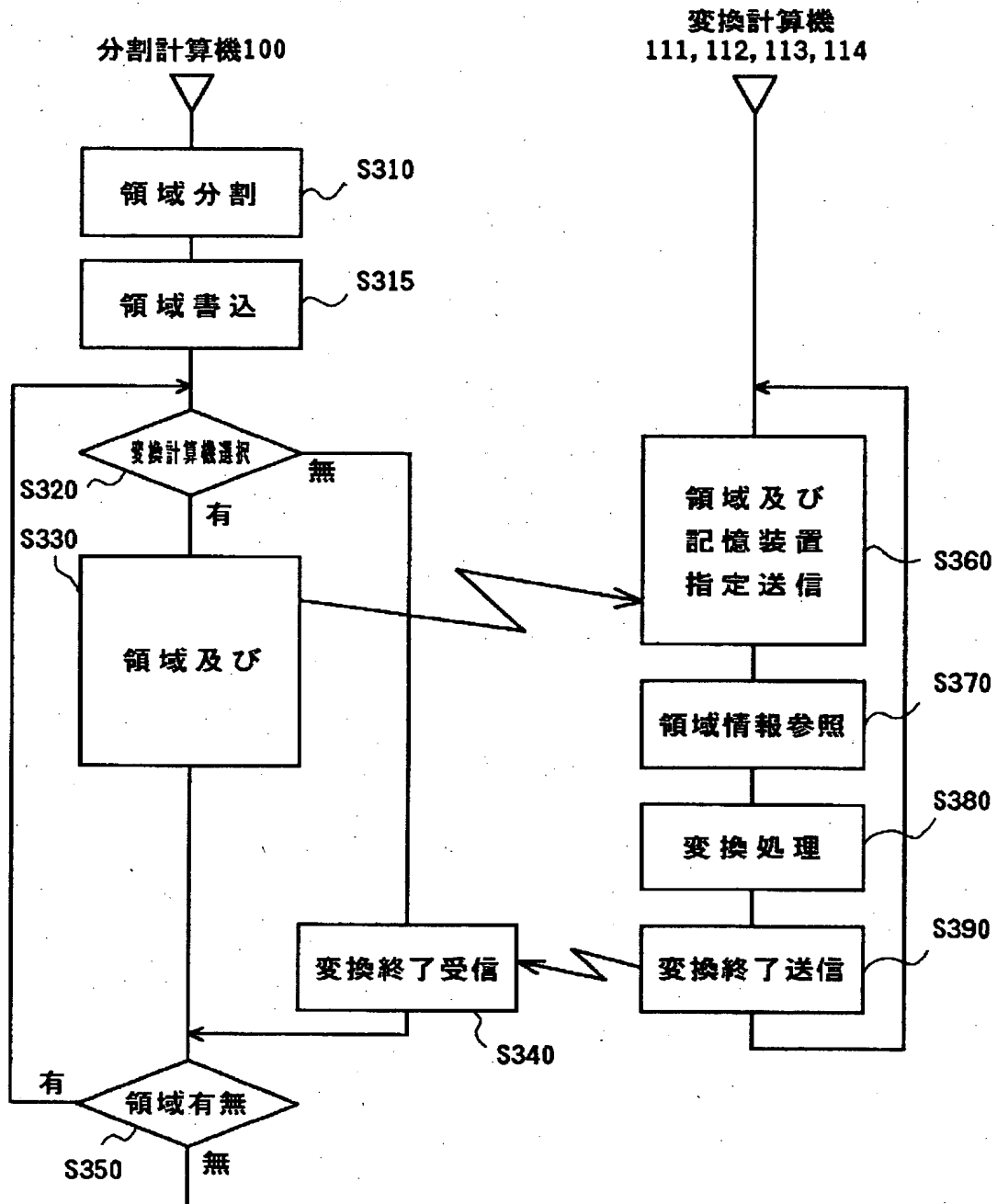
【図9】

図 9



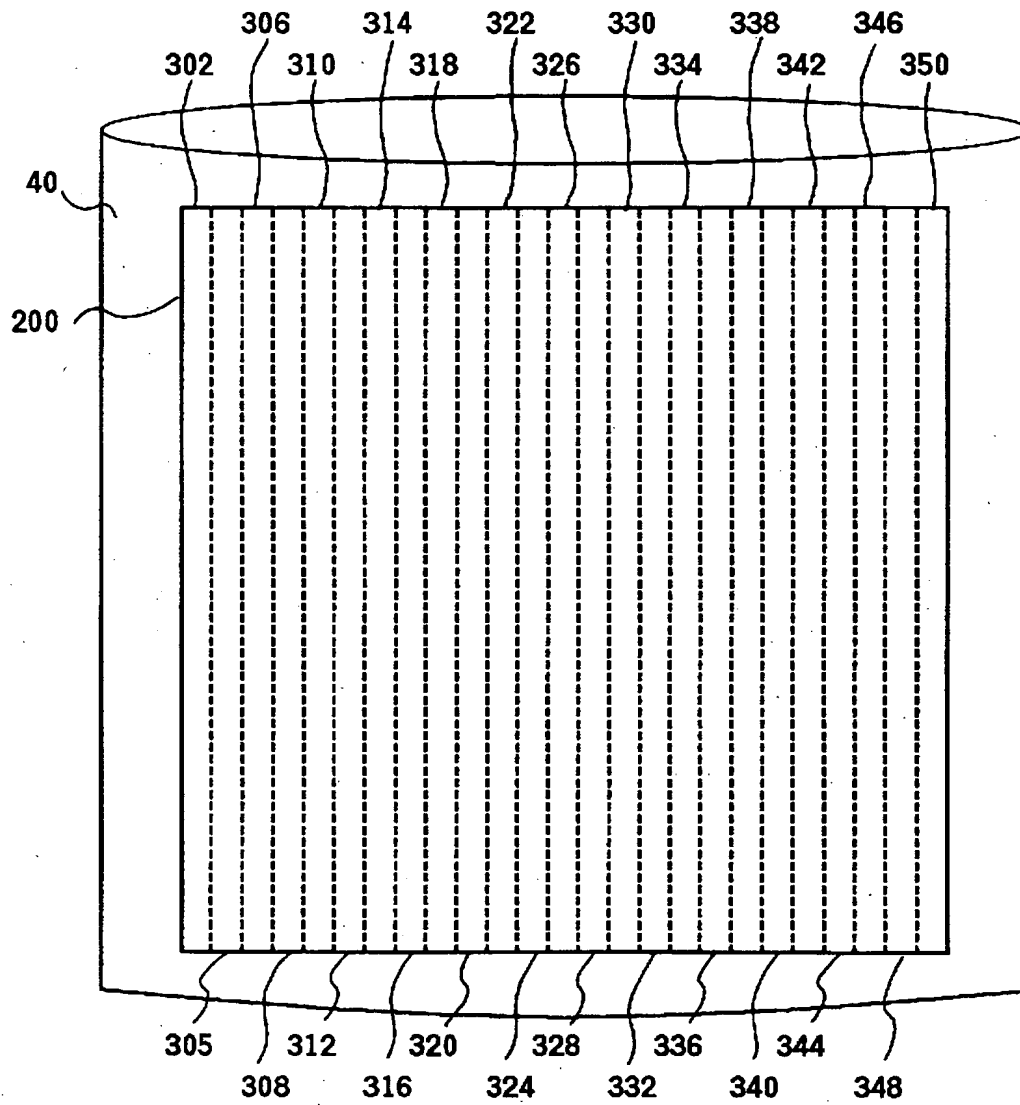
【図10】

図 10



【図 11】

図 11



【図12】

図 12

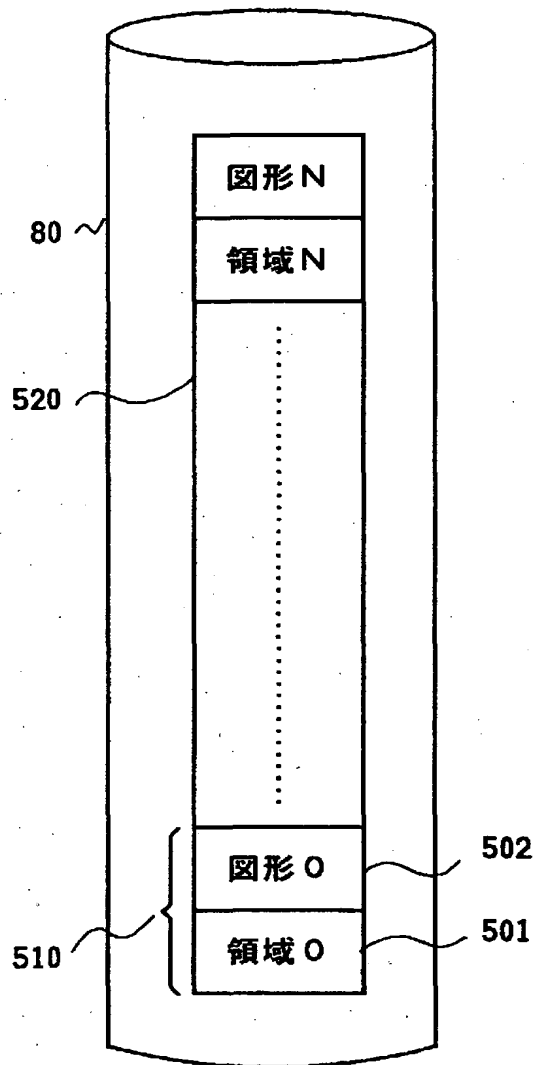
40

200

4 1 0	4 2 0	4 3 0	4 4 0	4 5 0
4 0 8	4 1 8	4 2 8	4 3 8	4 4 8
4 0 6	4 1 6	4 2 6	4 3 6	4 4 6
4 0 4	4 1 4	4 2 4	4 3 4	4 4 4
4 0 2	4 1 2	4 2 2	4 3 2	4 4 2

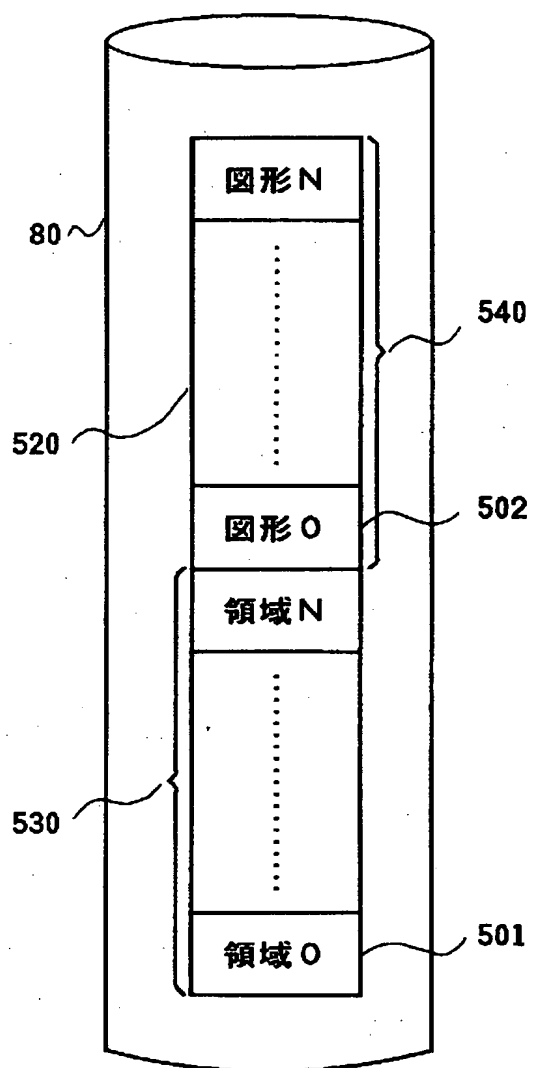
【図 1 3】

図 13



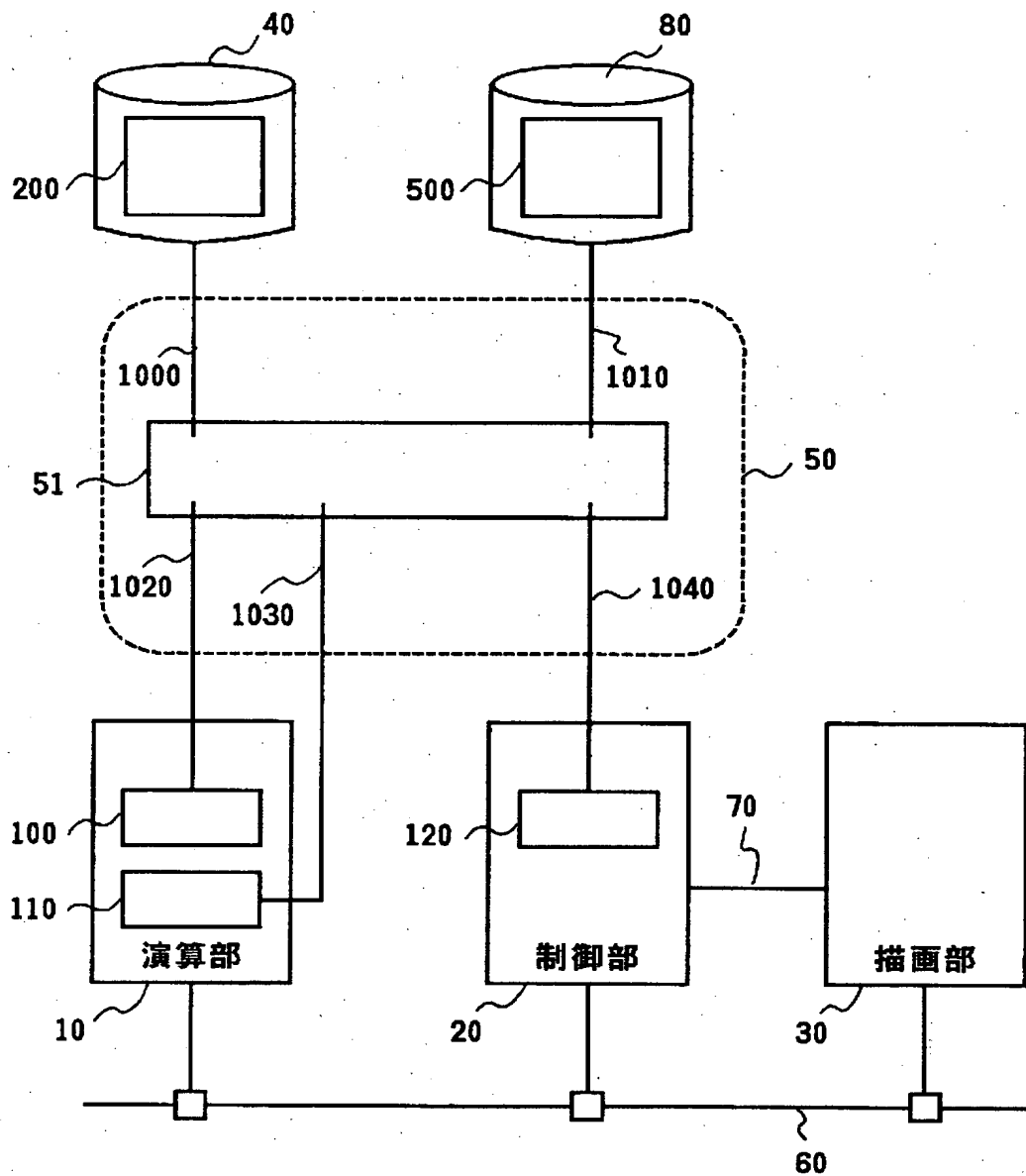
【図 1 4】

図 14



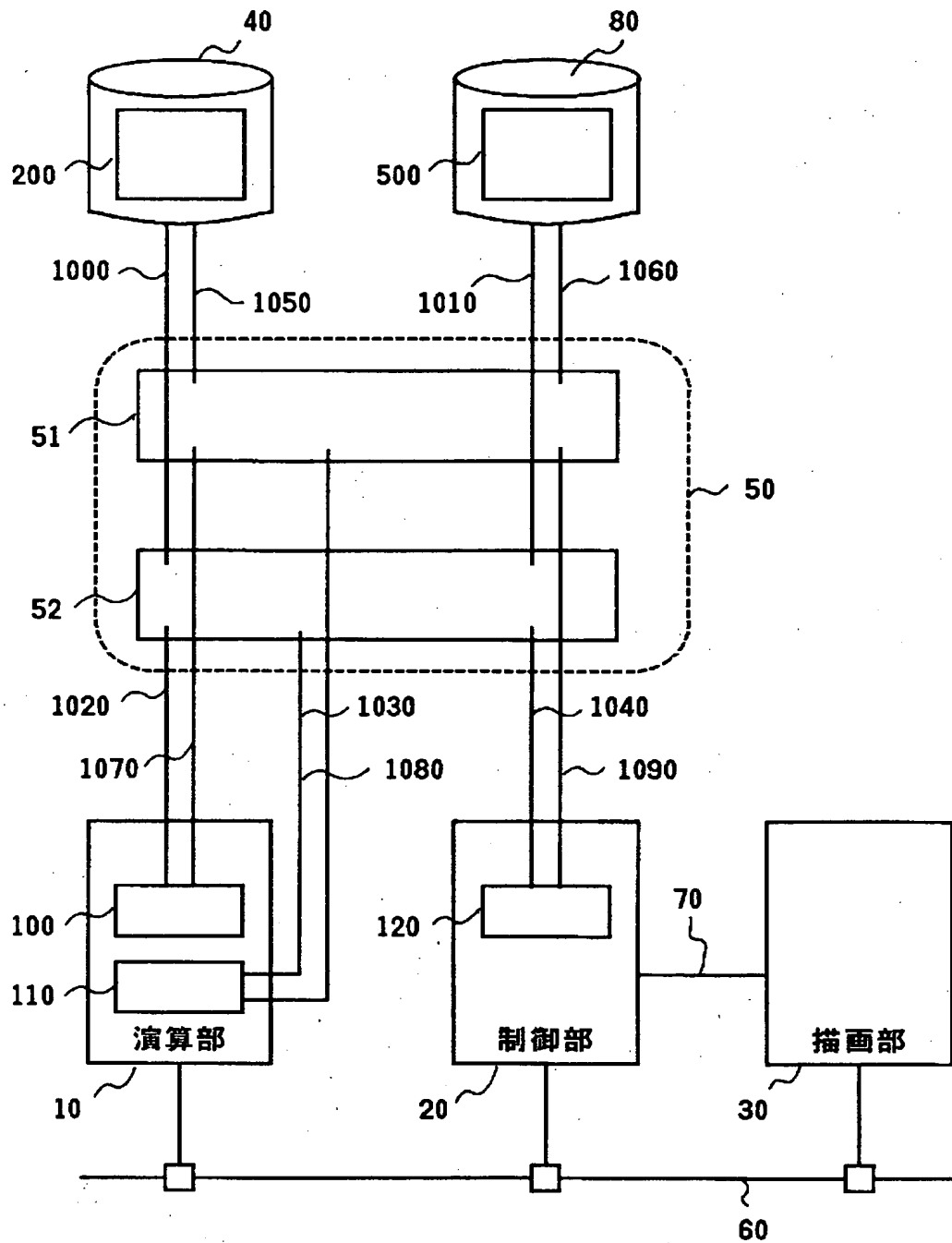
【図15】

図 15



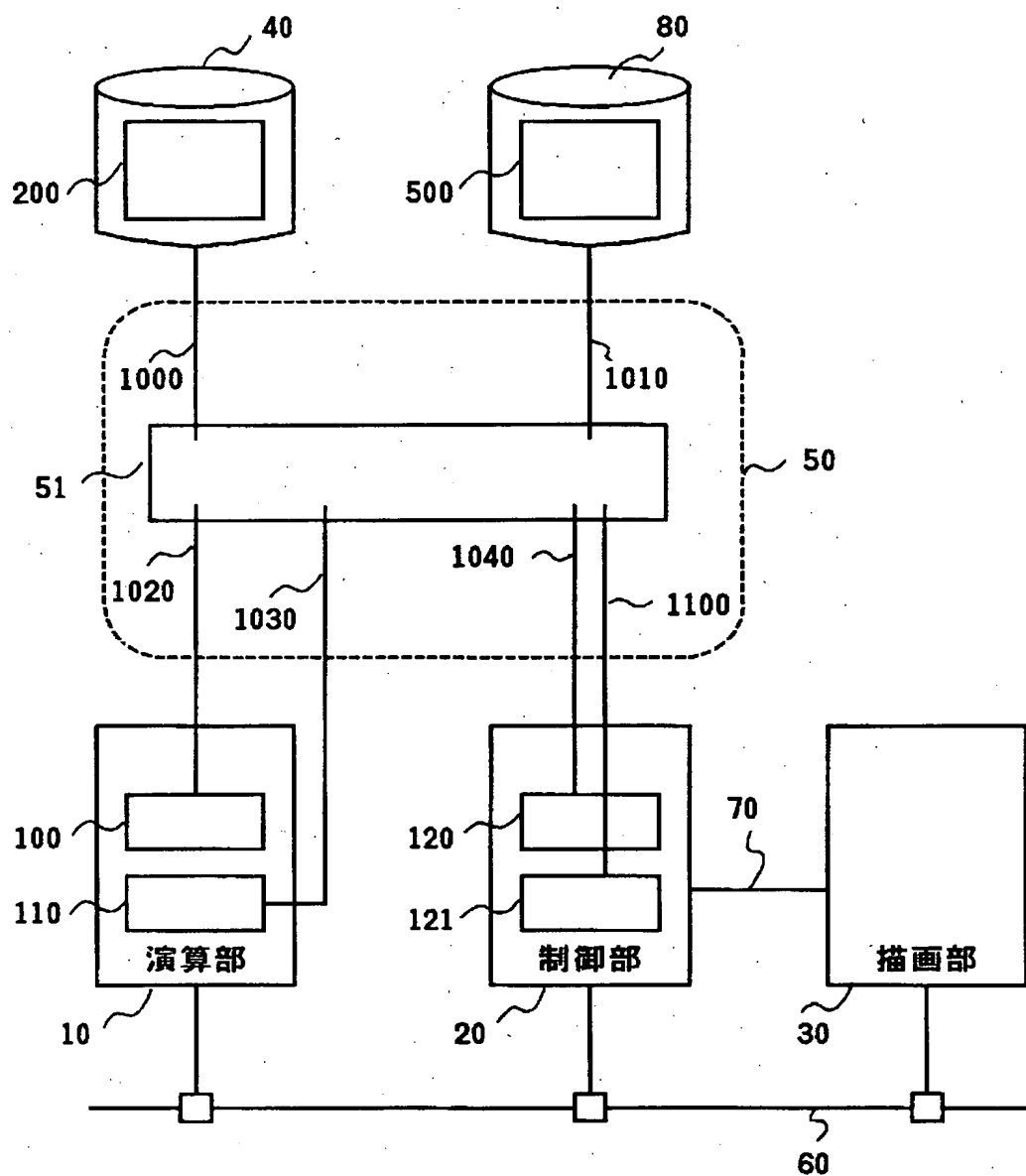
【図 16】

図 16



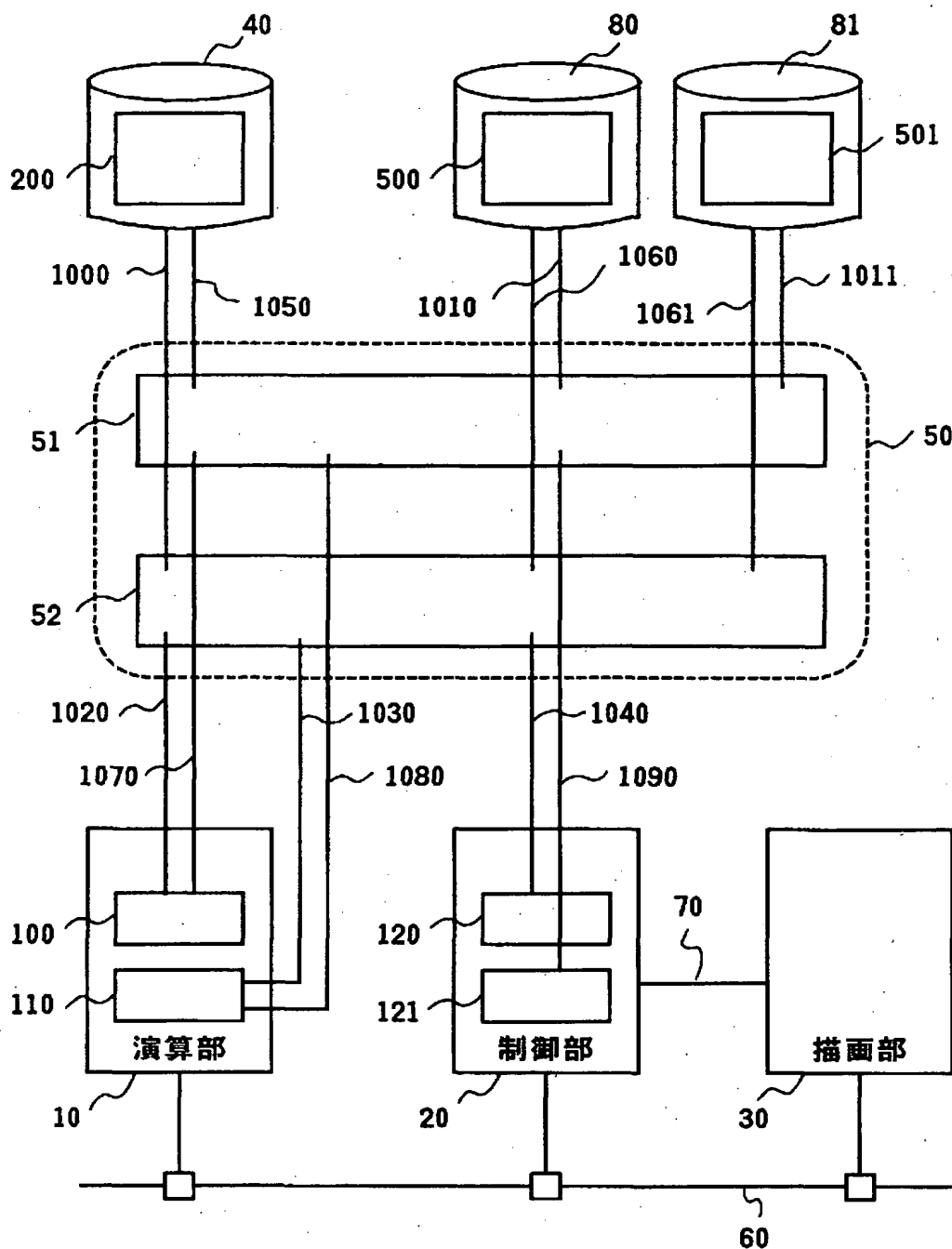
【図 17】

図 17

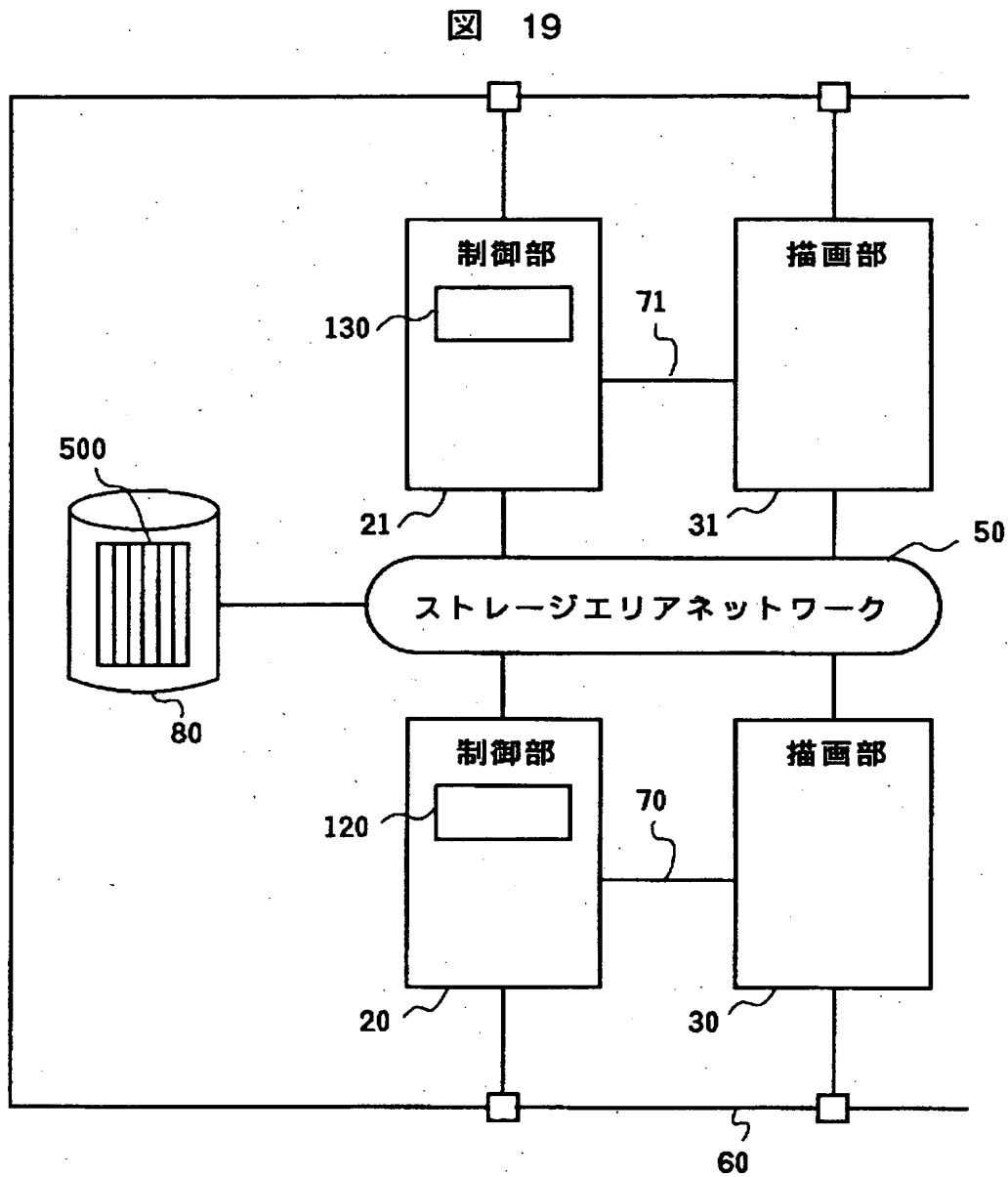


【図 18】

図 18

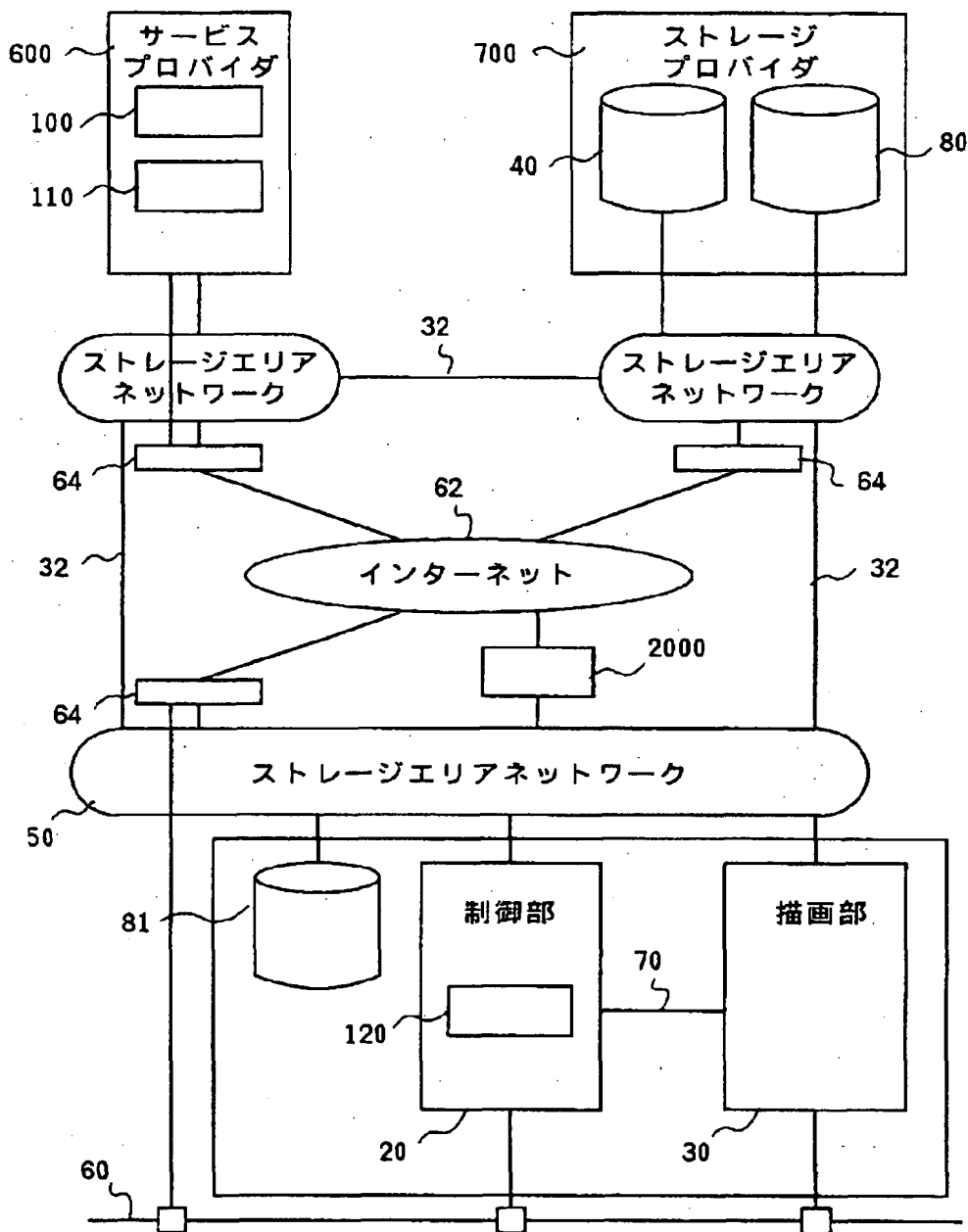


【図 19】

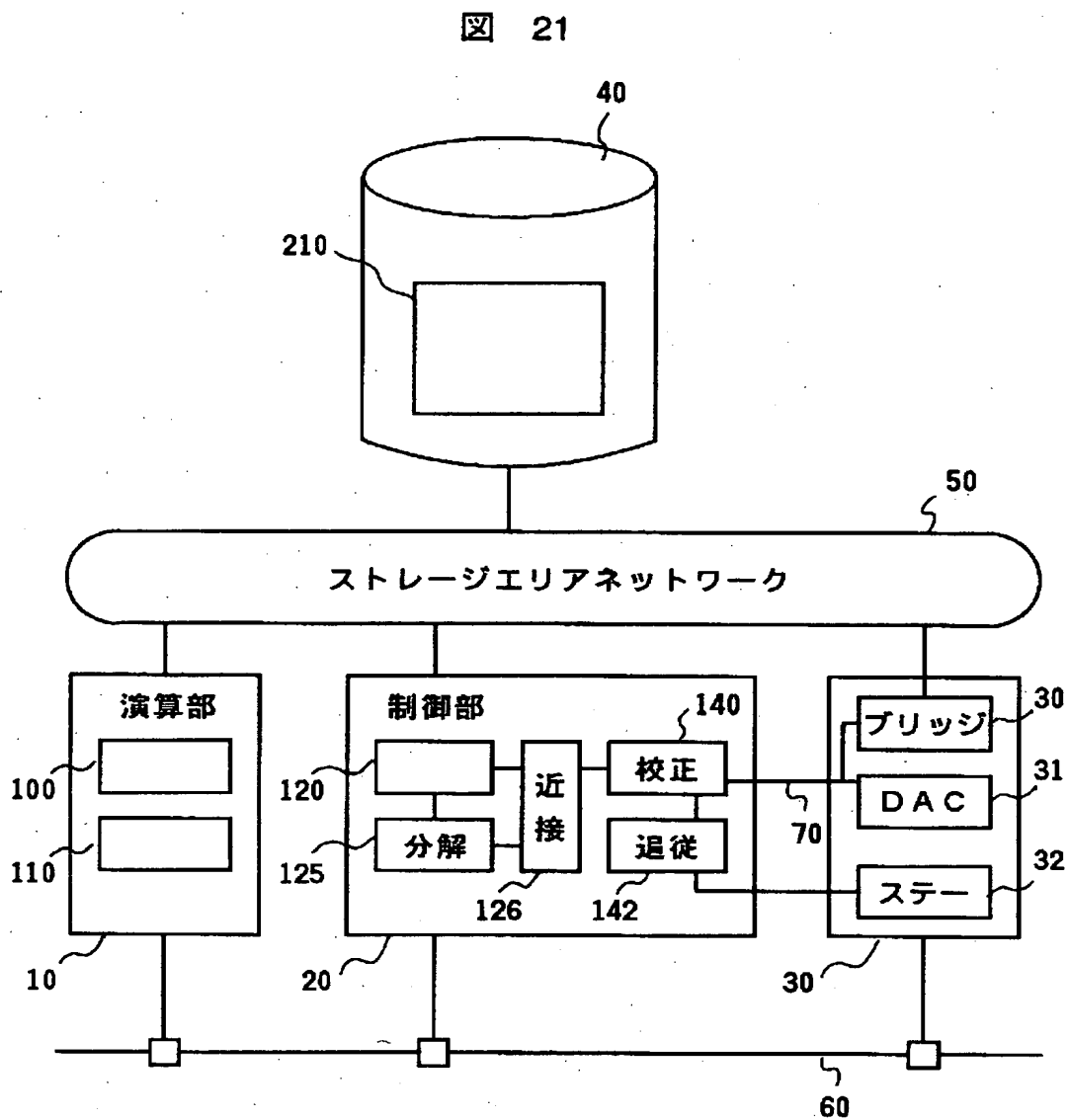


【図 20】

図 20



【図 21】



【書類名】 要約書

【要約】

【課題】

半導体の微細化により、半導体設計製造情報が巨大になり、メッセージデータと設計製造情報を混在して通信するネットワークアーキテクチャでは、該情報へのアクセスだけでネットワークの帯域を占有してしまい、装置の性能が低下してきた。また、パイプライン処理のため、処理途中結果を保存する仕組みがなく、処理の中断および再開が困難であった。

【解決手段】

記憶装置 4 0 との通信および管理を行うためのネットワーク 5 0 を設けることで、前記課題を解決するものである。

【効果】

記憶装置 4 0 との通信および管理を行うためのネットワーク 5 0 を設けることで、データへのアクセス性能の向上と、装置内部のデータの共有、および処理途中結果の記憶が可能となり、処理の中断および再開が可能になった。

【選択図】 図 1

特 2002-241294

認定・付加情報

特許出願の番号	特願2002-241294
受付番号	50201239597
書類名	特許願
担当官	藤居 建次 1409
作成日	平成14年10月 3日

<認定情報・付加情報>

【提出日】

平成14年 8月22日

次頁無

出 願 人 履 歴 情 報

識別番号

[501387839]

1. 変更年月日 2001年10月 3日

[変更理由] 新規登録

住 所 東京都港区西新橋一丁目24番14号

氏 名 株式会社日立ハイテクノロジーズ